

Л.Д. Черемисинова, Р.П. Базилевич, И.П. Логинова, И.Ф. Щербюк, Л.В. Базилевич

Минимизация площади заказных СБИС на этапе топологического проектирования цифровых схем

Рассмотрена проблема топологической оптимизации заказных СБИС. Подход заключается в разбиении задачи на две взаимосвязанные подзадачи, решение которых позволяет минимизировать площадь цифровой схемой на кристалле СБИС, занимаемой каждым из блоков цифровой схемы, имеющих регулярную структуру, и путем эффективного размещения макроэлементов.

The problem of the topology optimization of custom VLSI is considered. The approach consists in dividing the problem into two inter-related subproblems, whose solution allows to minimize the area of a digital circuit on a VLSI, occupied by each block of the digital circuits with a regular structure, and by efficient macroelements' placement.

Розглянуто проблему топологічної оптимізації замовних НВІС. Підхід полягає в розбитті задачі на дві взаємопов'язані підзадачі, розв'язання яких дозволяє мінімізувати площу цифрової схеми на кристалі НВІС, яка зайнята кожним з блоків цифрової схеми, які мають регулярну структуру, і шляхом ефективного розміщення макроелементів.

Введение Этап проектирования топологии – завершающий при проектировании сверхбольшой интегральной схемы (СБИС) «сверху вниз». Проектирование топологии заказной СБИС требует гораздо больших экономических и временных затрат, чем выполнение любого другого этапа проектирования. Под синтезом топологии СБИС обычно понимают реализацию на кристалле полупроводниковых приборов и соединений между ними. При этом электрическая схема преобразуется в описание послойной реализации полупроводниковых компонентов (транзисторов, диодов, резисторов) и связей между ними в многослойной интегральной структуре. От проектных решений, принятых на этом этапе проектирования, существенно зависит качество (в данном случае площадь) изготавливаемой заказной СБИС. Создание эффективных методов оптимизации топологических решений может дать значительный эффект, заключающийся в улучшении характеристик проектов и сокращении сроков проектирования, что значительно сказывается на стоимости. При проектировании заказной СБИС структура и размеры кристалла заранее не известны. Необходимая площадь кристалла, его размеры, расположение областей, реализующих макроэлементы проектируемого устройства, а также соединения между ними, определяются в процессе синтеза топологии.

Широкое использование для проектирования управляющей логики получили макроэлементы, представляющие двухмерные регулярные

структуры типа программируемых логических матриц (ПЛМ), матриц Вайнбергера, транзисторных матриц, регулярных структур на основе последовательного соединения МОП-транзисторов (РМОП-схем), постоянные запоминающие устройства (ПЗУ) и т.д. [1, 2]. Их применение позволяет сократить время проектирования и перепроектирования в силу того, что облегчается задача автоматической генерации топологии по структурному описанию, уменьшается трудоемкость этапа логического проектирования. В то же время в большинстве своем регулярные структуры имеют невысокий коэффициент использования активных элементов (транзисторов или сетей транзисторов) и занимают избыточную площадь на кристалле. По этой причине использование в СБИС регулярных схем желательно сочетать с сокращением площади неиспользуемых участков кристалла и соединительных линий путем перераспределения активных элементов внутри регулярной структуры.

Постановка задачи

Основная идея предлагаемого подхода к оптимизации площади заказных СБИС заключается в разбиении задачи на две взаимосвязанные подзадачи, в целом позволяющие минимизировать площадь, занимаемую цифровой схемой на кристалле СБИС

- минимизация площадей, занимаемых на кристалле макроэлементами (блоками) цифровой схемы, имеющими регулярную структуру;
- минимизация площади, занимаемой схемой из макроэлементов, путем эффективного

размещения макроэлементов и трассировки соединений между ними.

Первая задача призвана обеспечить «уплотнение» на микроуровне – на уровне изменения структур макроэлементов, из которых состоит иерархически организованная цифровая схема. Вторая задача обеспечивает «уплотнение» на макроуровне – площади, занимаемой цифровой схемой, блоками которой служат макроэлементы. Задача минимизации площади структур внутри блоков цифровой схемы интегрирована с задачами размещения и трассировки межблочных соединений. Цель такой интеграции – наиболее полная оптимизация площади заказной СБИС, получение топологических чертежей «уплотненных» макроэлементов и «уплотненного» чертежа их компоновки на кристалле СБИС.

Минимизация площадей, занимаемых на кристалле макроэлементами цифровой схемы, заключается в их раздельной топологической оптимизации методом свертки. Минимизация площади, занимаемой схемой из макроэлементов, достигается за счет иерархической декомпозиции схемы, получения начального размещения макроэлементов, затем локальной и глобальной оптимизации начального размещения и последующей трассировки соединений.

Рассматриваются результаты, достигнутые коллективами Объединенного института проблем информатики НАН Беларуси, Национального университета «Львівська політехніка» и Института прикладных проблем механики и математики НАН Украины.

Минимизация площади регулярных структур цифровой схемы методом свертки

Структурное описание, задающее топологию макроэлемента, генерируется по функциональному описанию блока управляющей логики – представлению реализуемой системы логических выражений в виде суперпозиции элементарных функций, реализуемых регулярной структурой выбранного типа. Сложность функционального описания оказывает существенное влияние на площадь, занимаемую регулярной матричной структурой на кристалле. Последствия неоптимальности функционального

описания не могут быть в полной мере устранены без изменения логики проектируемого устройства при укладке структуры на плоскость кристалла на этапе топологического проектирования. Отсюда следует, что оптимизация топологии начинается с этапа логического проектирования блока управляющей логики, когда требуется получить такое функциональное описание, которое не только укладывается на матричную структуру выбранного типа, но и обеспечивает минимум занимаемой площади.

Существенный недостаток применения матричных структур при проектировании управляющей логики цифровых схем заключается в неэффективном использовании площади кристалла, получаемой на этапе топологического проектирования. Это обусловлено тем, что значительное число транзисторов, образующих матричную структуру, не принимает участия в реализации заданной функциональности. Минимизация площади матричной структуры на этапе топологического проектирования состоит в сокращении числа неиспользуемых транзисторов. Один из наиболее эффективных методов топологической оптимизации – свертка столбцов и строк матричной структуры, основанная на разрыве ее шин и реализации на одной вертикальной (и/или горизонтальной) шине двух и более столбцов (и/или строк) [1, 3, 4]. Алгоритмы свертки не изменяют функциональности матричной структуры, поскольку они основаны на поиске оптимального переупорядочения и совмещения ее столбцов и строк.

Программируемые матричные структуры заказных СБИС

На рис. 1 показаны условные изображения основных программируемых матричных структур, реализующих следующую систему булевых функций:

$$\begin{cases} y_1 = \bar{x}\bar{y} \vee xy; \\ y_2 = \bar{x}y \vee xy; \\ y_3 = \bar{z} \vee \bar{y}. \end{cases}$$

ПЛМ предназначена для реализации систем дизъюнктивных нормальных форм (ДНФ) и состоит из двух транзисторных матриц И и ИЛИ

с варьируемыми размерами. В строках матрицы И реализуются элементарные конъюнкции, в столбцах матрицы ИЛИ реализуются дизъюнкции (или их инверсии в зависимости от программирования выходов) этих конъюнкций (рис. 1, а). Минимизация площади ПЛМ в значительной степени сводится к задаче совместной минимизации системы булевых функций в классе ДНФ с учетом возможности изменения их полярности [5].

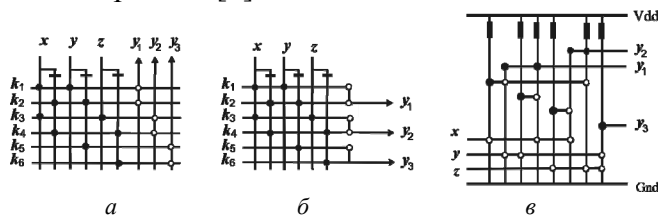


Рис. 1. Условное изображение программируемых матричных структур: а – ПЛМ; б – РМОП-схема; в – матрица Вайнбергера

РМОП-схема так же, как и ПЛМ, реализует систему ДНФ или их инверсий. Ее ядром является матрица И, разделенная на секции, распределяемые между взаимно непересекающимися столбцами матрицы ИЛИ (рис. 2). Конструктивная особенность РМОП-схем – ограничение на число транзисторов в каждой из строк матрицы И (рис. 1, б). Синтез структуры РМОП-схемы с минимальной площадью сводится к раздельной минимизации в классе ДНФ функций системы и последующей факторизации [5].

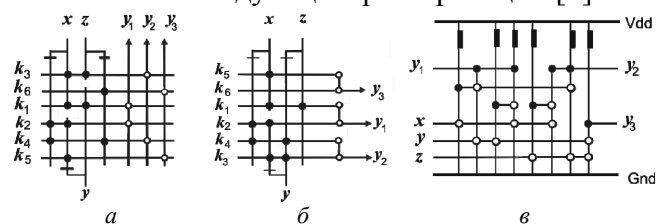


Рис. 2. Условное изображение свернутых программируемых матричных структур: а – ПЛМ; б – РМОП-схема; в – матрица Вайнбергера

Матрица Вайнбергера предназначена для реализации многоуровневых комбинационных логических схем в базисе «отрицаний ДНФ». Конструктивно матрица Вайнбергера состоит из столбцов, некоторые из которых в верхней своей части имеют нагрузочные транзисторы, и строк, служащих для съема сигналов со входов и частей схемы – столбцов, снабженных нагрузочными транзисторами (рис. 1, в). Несколько свя-

занных между собой столбцов, снабженных одним нагрузочным транзистором, реализуют функцию отрицания дизъюнкции конъюнкций, получаемых на связанных столбцах. Конструктивная особенность матрицы Вайнбергера – ограничение на число «перемычек» на пересечении с каждой из строк (оно обуславливается размером нагрузочного транзистора) и на число связываемых между собой столбцов. Синтез логической структуры матрицы Вайнбергера сводится к синтезу укладываемой на нее многоуровневой схемы в базисе «отрицаний ДНФ» с ограниченными параметрами [6].

Можно считать, что матричная структура любого упомянутого типа состоит из строк и столбцов, на пересечении которых находятся транзисторы (или схемы из транзисторов). Столбцам такой структурной матрицы соответствуют сигналы (входные, выходные, внутренние), строкам – элементы, задаваемые множествами соответствующих транзисторов.

Минимизация площади регулярных структур на этапе топологического проектирования

Особенности топологической и схемотехнической организации матриц в регулярных структурах разного типа задаются в виде множества ограничений. Эти ограничения следует учитывать как при постановке задачи свертки, адаптации к данной постановке соответствующего подхода, так и при выборе наиболее эффективного алгоритма свертки. Обзор подходов к свертке регулярных структур можно найти в [7, 8]. В статье рассматриваются только методы, разработанные в ОИПИ НАН Беларуси. Можно выделить следующие типы разработанных методов свертки регулярных структур:

- простая [9–13] и многократная свертка [14], в первом случае столбцы и/или строки могут быть разделены только на два сегмента, во втором – число свертываемых столбцов и/или строк (число сегментов) не ограничивается;
- одномерная (столбцовая или строчная) и двумерная (столбцово-строчная) свертка;
- двухдольная свертка [15–19], представляющая частный вид простой свертки, в которой все разрывы находятся на одном уровне;

- ограниченная свертка, обусловленная заданием ограничений на расположение строк и столбцов [6, 18, 19]:

- подмножеств столбцов (строк), которые в свернутой матрице должны быть сверху или снизу (что определяет направление подвода или съема внешних сигналов) [20];

- частичного порядка на множестве столбцов или строк, определяющего взаимное расположение столбцов (строк) (определяется архитектурой матричной структуры – матрицы Вайнбергера [6], РМОП-схемы [18, 19]);

- подмножеств столбцов (строк), которые могут быть свернуты только друг с другом (например, столбцы матриц И и ИЛИ ПЛМ).

Для ПЛМ-структур возможны все виды сверток для матриц И (рис. 2, а) и ИЛИ [10, 11, 13–17], для матриц Вайнбергера – многократная строчная свертка (рис. 2, б) с ограничениями [8], для РМОП-структур возможна только столбцовая свертка матрицы И (рис. 2, в) с ограничениями [18].

Математическая постановка задачи свертки

Во всех постановках задачи свертки математической моделью матрицы регулярной структуры есть булева матрица \mathbf{B} , имеющая множества $C(\mathbf{B}) = \{c_1, c_2, \dots, c_n\}$ столбцов и $R(\mathbf{B}) = \{r_1, r_2, \dots, r_m\}$ строк $b_i^j = 1$, если на пересечении i -й строки и j -го столбца имеется транзистор. Каждый столбец $c_j \in \mathbf{B}$ (строка $r_j \in \mathbf{B}$) порождает множество $R(c_j)$ строк ($C(r_j)$ столбцов), имеющих единицы на пересечении с этим столбцом: $r_i \in R(c_j) \leftrightarrow b_i^j = 1$. Непересекающиеся столбцы c_k и c_l ($R(c_k) \cap R(c_l) = \emptyset$) не имеют транзисторов на пересечении с одними и теми же строками и совместимы. Большинство методов свертки основано на построении булевой матрицы \mathbf{S} отношения совместимости на множестве столбцов (и/или строк). Набор $I^c_k = (c_{k1}, c_{k2}, \dots, c_{km})$ ($I^r_k = (r_{k1}, r_{k2}, \dots, r_{km})$) попарно непересекающихся столбцов c_{ki} (строк r_{ki}) (если не наложены никакие дополнительные ограничения на тип свертки) называется свертываемым, на матрице \mathbf{S} он представляется единичным минором. Далее всюду будем говорить «свер-

тываемое множество столбцов», подразумевая «или строк».

Упорядоченный свертываемый набор столбцов будем обозначать через $I^{co}_k = \langle c_{k1}, c_{k2}, \dots, c_{km} \rangle$ в отличие от неупорядоченного $I^c_k = (c_{k1}, c_{k2}, \dots, c_{km})$. Неупорядоченный свертываемый набор может быть упорядочен $m!$ способами. Свертываемый (упорядоченный) набор из двух столбцов называется свертываемой парой c_{k1}, c_{k2} или $\langle c_{k1}, c_{k2} \rangle$ (неупорядоченной или упорядоченной). Каждая упорядоченная свертываемая пара $\langle c_{k1}, c_{k2} \rangle$ порождает отношение $\mathbf{R}^r_k: R(c_{k1}) < R(c_{k2})$ частичного порядка на множестве $R(\mathbf{B})$: строки из $R(c_{k1})$ должны быть выше строк из $R(c_{k2})$ в свернутой матрице \mathbf{B} , отношение задается декартовым произведением на множестве $R(\mathbf{B})$: $\mathbf{R}^r_k = R(c_{k1}) \times R(c_{k2})$. Аналогично каждый упорядоченный свертываемый набор I^{co}_k порождает иррефлексивное и асимметричное отношение частичного порядка $\mathbf{R}^r(I^{co}_k) = \{r_p \times r_q / r_p \in R(c_{ki}), r_q \in R(c_{kj}), i < j\}$.

Два свертываемых набора I^c_k и I^c_l не пересекаются, если все c_{ki}, c_{lj} различны. Множество $L^c_k = \{I^c_{k1}, I^c_{k2}, \dots, I^c_{kn}\}$ попарно не пересекающихся свертываемых наборов столбцов называется неупорядоченным множеством столбцовой свертки. Аналогично определяется упорядоченное множество свертки (УМС) $L^{co}_k = \{I^{co}_{k1}, I^{co}_{k2}, \dots, I^{co}_{kn}\}$. УМС L^{co}_k порождает отношение $\mathbf{R}^r(L^{co}_k)$ на множестве $R(\mathbf{B})$, представляющее объединение отношений $\mathbf{R}^r(I^{co}_{ki})$, порождаемых свертываемыми наборами $I^{co}_{ki} \in L^{co}_k$: $\mathbf{R}^r(L^{co}_k) = \cup_i \mathbf{R}^r(I^{co}_{ki})$. Отношение $\mathbf{R}^r(L^{co}_k)$ в общем случае не есть отношение частичного порядка: оно иррефлексивно, асимметрично и не обязательно транзитивно. Его транзитивное замыкание $\mathbf{R}^r(L^{co}_k)$ иррефлексивно, транзитивно, но может быть асимметричным. В [3, 4] показано, что упорядоченное множество L^{co}_k свертки реализуемо, если порождаемое им транзитивное замыкание $\mathbf{R}^r(L^{co}_k)$ есть отношение частичного порядка на множестве $R(\mathbf{B})$, т.е. оно асимметрично.

Реализуемость УМС L^{co}_k обеспечивает существование такого линейного упорядочения множества строк, что все столбцы одного и того

же свертываемого набора $I_{km}^{Co} \in L_{k}^{Co}$ могут быть расположены на одной вертикальной линии таким образом, что все столбцы $c_{kmi} \in I_{km}^{Co}$ расположены над столбцами $c_{knj} \in I_{km}^{Co}$, если $i < j$. Множество $R(\mathbf{B})$ при этом может быть линейно упорядочено, например, путем топологической сортировки.

Таким образом, реализуемое УМС содержит всю необходимую для свертки матричной структуры информацию, и задача свертки состоит в нахождении реализуемого УМС максимальной мощности. Показано [3], что эта задача NP – трудна. Точное решение задачи одномерной (столбцовой или строчной) свертки разбивается на следующие подзадачи:

- 1) построение множества упорядоченных свертываемых наборов;
- 2) построение всевозможных УМС и проверка их на реализуемость;
- 3) выбор наиболее реализуемого УМС и линейное упорядочение строк матрицы.

Наиболее сложным, ответственным за экспоненциальную сложность задачи свертки есть второй этап. В разработанных методах свертки используются разные известные из литературы графовые критерии проверки множества свертки на реализуемость (см. [7, 8]) (для случая ПЛМ), основанные на поиске циклов в графах специального вида, а также проверка на основе сведения задачи к решению логических уравнений выполнимости конъюнктивных нормальных форм (КНФ) [21].

Разработанные в ОИПИ НАН Беларуси методы свертки можно разбить на следующие классы в зависимости от используемых способов поиска УМС при простой или многократной свертке: итерационные; графовые; основанные на поиске связанных единичных миноров; основанные на процедуре моделирования отжига.

Итерационные [11, 12] методы основаны на последовательном построении свертываемых пар или наборов, лучших по некоторым критериям, и добавлении их в формируемое множество свертки. На каждом шаге выбирается некоторая пара $\langle c_i, c_j \rangle$ не связанных совместимых столбцов c_i, c_j , таких, что c_i и c_j не входят в пары из L^{Co} . Новое состояние L^{Co} анализируется

на реализуемость. Выбор пары столбцов определяется степенью их совместимости с другими столбцами. Используются следующие варианты: случайный, \max – \min (c_i имеет максимальную степень, c_j – минимальную), \max – \max , \min – \max , \min – \min .

Графовые методы [9, 13, 17, 20] основаны на предварительном поиске всех пар свертки (упорядоченных или неупорядоченных) и построении графа отношения их совместимости. Поиск наибольшего множества L^{Co} свертки сводится к поиску наибольшей клики графа, порождающей реализуемое множество свертки L^{Co} . Предлагаются эвристики, сокращающие перебор при поиске наибольшей клики.

Основная идея методов, основанных на поиске связанных единичных миноров, состоит в приведении матрицы \mathbf{S} к диагональному виду путем ее *сжатия* [9].

На каждой итерации методов свертки на основе *моделирования отжига* текущее состояние матрицы \mathbf{S} , начиная с исходного, изменяется случайным образом путем перестановки столбца или строки на новое место. Полученное решение принимается или отвергается в соответствии с принятой оценочной функцией. Имеются модификации этого метода, настроенные на разные типы матричных структур, сверток и ограничений [14, 15].

В связи с необходимостью обрабатывать разные подходы к свертке регулярных структур разработана и реализована стендовая программная система, на которой проводятся исследования эффективности различных методов свертки при заданных вариантах ограничений, определяемых на основе анализа особенностей и структурной организации топологического плана разных классов регулярных схем. Графический интерфейс системы позволяет ввести функционально-структурное описание свертываемой регулярной схемы на языке SF [2]. Описание схемы затем преобразуется к представлению в виде булевых матриц. Описания могут быть преобразованы из одного типа схемы в другой. Методы свертки разбиты на три группы по применению основного подхода к постановке задачи свертки. Графический интер-

фейс системы обеспечивает визуальный доступ к каждой из групп методов, путем выбора соответствующей вкладки. На каждой вкладке обеспечивается выбор объекта свертки (матрица И, ИЛИ), типа свертки (свободная, простая, двудольная, многократная, с ограничениями и т.п.), а также типа ограничений, который, в свою очередь определяется топологической особенностью реализации выбранного объекта свертки. Каждая совокупность выбранных условий контролируется на корректность в постановке задачи свертки с данными условиями. Результат решения задачи свертки отображается на той же странице системы, где приведены статистические данные об исходном описании. Возможно сравнение эффективности различных подходов и алгоритмов.

Минимизация площади цифровых схем на этапе размещения макроэлементов

Проектирование топологии завершает проектирование заказной СБИС «сверху вниз», его важнейшим этапом является размещение (определение координат на плоскости кристалла) макроэлементов СБИС и трассировка соединений между ними. Последняя стала «узким местом», определяющим производительность схем в субмикронных технологиях. Проблемы размещения элементов и трассировки межсоединений взаимосвязаны и рассматривать их по отдельности, с одной стороны, малоэффективно, а с другой, затруднительно в силу NP -сложности этой задачи. Поэтому задача делится на два этапа: размещение элементов и трассировка соединений между ними, но размещение проводится с учетом последующей трассировки.

В статье описываются методы и реализующие их программные средства размещения для случая, когда элементы имеют разные габариты. Разработанный комплекс методов [22] обеспечивает решение задач построения начального размещения элементов на кристалле и итерационной его оптимизации как в автоматическом, так и в интерактивном режимах. Основными критериями, подлежащими минимизации в процессе размещения, есть площадь кристалла и создание наилучших условий для последующей трассировки соединений.

Методологические принципы предлагаемого подхода состоят в следующем [23–29]:

- восходящее формирование иерархически вложенных кластеров схемы с последующей аппроксимацией их макроэлементами;
- нисходящее многоуровневое размещение макроэлементов с использованием алгоритмов глобальной и локальной оптимизации на каждом уровне;
- глобальная оптимизация, обеспечивающая получение размещения при делении каждого макроэлемента на элементы очередного низшего уровня, размещаемые в пределах выделенной поверхности (для качественного решения коэффициенты деления берутся не ниже 4–9);
- локальная оптимизация, применяемая на каждом уровне на расширенном множестве, образованном всеми макроэлементами данного уровня, в том числе на самом нижнем уровне на множестве исходных элементов схемы.

Предлагаемый подход обеспечивает получение высокого качества размещения и имеет близкую к линейно-логарифмической вычислительную сложность, что делает его пригодным для задач большой и сверхбольшой размерности. С помощью предложенного метода удалось получить решение тестовой задачи Штейнберга [30], в котором суммарная длина всех проводников равна 4119 условных единиц (в евклидовой метрике), а также качественные решения и для других тестовых задач. В работах [27–29] предлагается развитие подхода для случая размещения разногабаритных элементов. Исходными данными являются множества: внешних полюсов и элементов схемы; их расположение на кристалле; связей; ограничений на размещение, включая фиксированное расположение и ориентацию элементов.

Задача размещения формулируется как поиск такого расположения Q_{best} множества элементов схемы $E = \{e_i, i = 1, 2, \dots, n\}$ на множество позиций кристалла $S = \{s_j, j = 1, 2, \dots, m\}$, при котором удовлетворены все заданные ограничения и обеспечен минимум значения целевой функции

$$F(Q_{best}) = \min_{Q \in Q} \{F(Q)\},$$

где F – критерий качества; $Q = \{Q_i\}$ – множество всех возможных размещений.

В качестве оценки $F(Q_i)$ текущего размещения в разработанном пакете программных средств используется сумма длин соединений. Длина соединения между элементами e_i и e_j , размещенными в позициях $s_i(x_i, y_i)$ и $s_j(x_j, y_j)$, оценивается одним из двух способов:

- как ортогональное или эвклидово расстояние между позициями s_i и s_j двух элементов: $d(e_i, e_j) = |x_i - x_j| + |y_i - y_j|$ или $d(e_i, e_j) = \sqrt{(x_i - x_j)^2 + (y_i - y_j)^2}$;

- как полупериметр минимального прямоугольника, покрывающего выводы элементов цепи C_k : $d(C_k) = ((\max x_i - \min x_i) + (\max y_i - \min y_i))$, $e_i \in C_k$.

Методы получения начального размещения, разработанные в рамках комплекса, реализуют следующие стратегии:

- последовательное размещение элементов по степени связности [27];
- двухуровневое размещение по «восходящей стратегии» [28];
- размещение по «нисходящей стратегии» [29].

В методе последовательного размещения элементы выбираются по одному в порядке убывания их степеней связности и размещаются на кристалле. В методах двухуровневого размещения элементы сначала группируются попарно в соответствии с их связностью, образуя макроэлементы, которые рассматриваются как единое целое, имеющее связи только с элементами других групп. Макроэлементы в свою очередь могут объединяться в группы, создавая более высокий уровень иерархии и т.д. При этом создается дерево свертывания [23] (может быть бинарное и n -арное), содержащее информацию о составе макроэлементов. При построении дерева свертывания могут выбираться критерии объединения элементов в группы: максимизация числа внутренних связей; минимизация числа внешних связей; максимизация разности этих чисел.

Характерной особенностью методов двухуровневого размещения является то, что сна-

чала образуются макроэлементы первого уровня, объединяющие пары наиболее связанных элементов. Находится оптимальное расположение элементов внутри пар, при этом возможен поворот топологических фрагментов с кратностью 90° , тем самым формируется геометрия макроэлементов. Затем проводится размещение макроэлементов на заданном кристалле.

В методе нисходящего иерархического размещения формируется начальное размещение путем нисходящего просмотра построенного заранее дерева свертывания с одновременным разбиением кристалла на области для размещения макроэлементов с учетом их степени связности. В случае бинарного дерева свертывания происходит деление областей кристалла на две подобласти и множества элементов на два макроэлемента, первоначально имея весь кристалл и множество всех элементов (соответствующих вершине дерева свертывания). В реализованном программном комплексе имеются также средства для формирования начального размещения в интерактивном режиме на основе визуального просмотра дерева оптимального свертывания.

Методы оптимизации размещения применяются на каждом уровне декомпозиции, а также к уже полученному начальному размещению с целью его улучшения. Последнее основывается на перемещении отдельных элементов или их групп как на пустые места, так и на занятые другими элементами (с последующим перемещением последних). Разработанные в рамках комплекса методы перераспределения реализуют стратегии точечного сканирования и сканирующей области.

Первый метод позволяет определить наилучшее положение элемента (макромодели) относительно уже размещенных элементов. Его суть состоит в последовательном пошаговом прохождении элементом (макроэлементом) всего кристалла с одновременным поиском позиции, характеризующейся наилучшим значением целевой функции, и последующим перемещением на нее элемента. Программа, реализующая метод, может настраиваться на шаг перемещения элемента по кристаллу: с уменьшением

шага увеличивается точность найденного решения.

Метод сканирующей области имеет две модификации [23, 24, 26]: как для одиночных, так и для макроэлементов. Суть метода состоит в выполнении попыток перерасположения элементов (макроэлементов) близкого размера с минимизацией значения целевой функции. Сначала формируются взаимно пересекающиеся множества E_i (небольшого размера) близких по площади элементов на основе упорядочения элементов по невозрастанию размеров их площадей. Затем для каждого множества E_i проводится полный перебор перестановок его элементов и выбор лучшей из них.

Проведенные экспериментальные исследования методов оптимизации размещения показали, что они позволяют улучшить начальное размещение в среднем на 4–26%; метод сканирующей области всегда выигрывает у метода точечного сканирования, а наилучшие результаты достигаются при использовании комбинированного метода, сочетающего в себе оба метода.

Заключение. Задачу минимизации площади внутриблочных структур заказной СБИС предлагается интегрировать с задачами размещения с целью минимизации площади и создания предпосылок для автоматизации всего цикла проектирования ее топологии, получения топологических чертежей «уплотненных» макроэлементов и уплотненного чертежа их расположения на кристалле. Введение в маршрут проектирования заказных СБИС, эффективных средств минимизации площади макроэлементов и схемы их соединения позволит формировать качественный план кристалла, т.е. получить физический (топологический) виртуальный прототип проекта, позволяющий предопределить такие параметры, как занимаемую площадь, временные характеристики и другие, повысить эффективность и сократить время проектирования. Топологическая оптимизация площади одного макроэлемента зависит от ограничений, диктуемых особенностью используемой матричной структуры, и, в определенной мере, от ограничений, которые накладываются в про-

цессе решения задачи размещения и трассировки. И наоборот, на эффективность размещения и трассировки будут влиять расположение и порядок внешних выводов макроэлементов, определенных в процессе топологической оптимизации их площади.

Работа выполнена при финансовой поддержке Белорусского и Украинского республиканских фондов фундаментальных исследований (проекты Ф09К-025 и ДФФД-БРФФД-2009).

1. Ульман Дж. Вычислительные аспекты СБИС. – М.: Радио и связь, 1990. – 480 с.
2. Бибило П.Н. Кремниевая компиляция заказных СБИС. – Минск: Ин-т техн. кибернетики АН Беларуси, 1996. – 268 с.
3. Hatchel G.D., Newton A.R., Sangiovanni-Vincentelli A.L. An algorithm for optimal PLA-folding // IEEE Trans. Comput.-Aided Des. Integr. Circuits and Syst. – 1982. – CAD-1. – N 2. – P. 63–77.
4. DeMicheli G., Sangiovanni-Vincentelli A.L. Multiple Constrained Folding of Programmable Logic Arrays: Theory and Applications // Ibid. – 1983. – CAD-2. – N 2. – P. 151–167.
5. Закревский А.Д., Потмосин Ю.В., Черемисинова Л.Д. Логические основы проектирования дискретных устройств. – М.: Физматлит, 2007. – 589 с.
6. Черемисинова Л.Д. Минимизация площади матрицы Вайнбергера, реализующей систему ДНФ // УСиМ. – 1999. – № 2. – С. 39–46.
7. Черемисинова Л.Д. Минимизация площади матричных структур методом свертки // Идентификация образов. – Минск: ИТК НАНБ, 2001. – С. 145–155.
8. Черемисинова Л.Д. Минимизация площади регулярных матричных структур заказных СБИС // Информатика. – 2004. – № 1. – С. 121–131.
9. Cheremisinova L.D. Simple folding of array-based VLSI structures // 6th Int. Workchop on Boolean probl., Freiberg (Sachsen), 19–20 Sept. 2004. – 2004. – P. 245–250.
10. Cheremisinova L.D. Some results in optimal PLA folding // Proc. of the Third Int. Conf. on Computer-Aided Design of Discrete Devices (CAD DD'99), Minsk, 10–12 Nov. 1999. – Minsk: NAS of Belarus, 1999. – 1. – P. 59–64.
11. Аношин К.В. Минимизация площади ПЛИМ-структур методом строчной свертки // Логическое проектирование: Сб. научн. тр., 1996. – 1. – С. 19–26.
12. Бибило П.Н., Каркоцкая И.П. Алгоритмы свертки для минимизации площади матричных структур заказных СБИС // УСиМ. – 1995. – № 1/2. – С. 26–31.
13. Логинова И.П. Метод свертки ПЛИМ с использованием троичного представления графовой модели // Автоматизация проектирования дискретных систем (CAD DD'99): Материалы Третьей межд. конф., 10–12 нояб. 1997. – Минск, 1999. – Т. 3. – С. 214–222.

14. *Логинова И.П.* «Моделирование отжига» и минимизация площади ПЛМ на основе многократной свертки // Логическое проектирование: Сб. научн. тр. – Минск: Ин-т техн. кибернетики НАН Беларуси, 1997. – 2. – С. 25–41.
15. *Логинова И.П.* Блочная столбцовая свертка ПЛМ с использованием метода «моделирование отжига» // Там же, 1999. – С. 25–41.
16. *Черемисинова Л.Д.* Двудольная свертка ПЛМ // Докл. НАН Беларуси, 2001. – Т. 45. – № 2. – С. 37–41.
17. *An algorithm for optimal bipartite PLA folding* // Inform. Theor. & Appl., 2003. – 10. – N 1. – P. 106–112.
18. *Черемисинова Л.Д.* Топологическая оптимизация регулярных МОП-структур методом двудольной свертки // Информатика. – 2008. – № 2(18). – С. 92–101.
19. *Логинова И.П., Черемисинова Л.Д.* Минимизация на топологическом уровне площади регулярных схем с последовательным соединением МОП-транзисторов // Там же. – 2009. – № 2(22). – С. 102–113.
20. *Логинова И.П., Черемисинова Л.Д.* Свертка регулярных структур СБИС с учетом особенностей их топологической реализации // Танаевские чтения. Докл. 4-й межд. научн. конф. 28 марта 2010 г., Минск. – Минск: ОИПИ НАН Беларуси, 2010. – С. 95–99.
21. *Черемисинова Л.Д.* Свертка регулярных структур на основе решения логических уравнений // Там же. – С. 105–112.
22. *Базилевич Р.П., Щерб'юк І.Ф.* ППП «Розмел» для формування розміщення різногабаритних елементів // Вісн. НУ «Львівська політехніка»: Сер. Комп'ютерні науки та інформаційні технології. – 2005. – № 543. – С. 64–67.
23. *Базилевич Р.П.* Декомпозиционные и топологические методы автоматизированного конструирования электронных устройств. – Львов: Вища шк., 1981. – 168 с.
24. *Bazylevych R.P.* The optimal circuit reduction method as an effective tool to solve large and very large size intractable combinatorial VLSI physical design problems // 10-th NASA Symp. on VLSI Design, 20–21 Mar. 2002. – Albuquerque, New Mexico, USA. – P. 6.1.1–6.1.14.
25. *Bazylevych R.P., Melnyk R.A., Rybak O.G.* Circuit partitioning for FPGAs by the optimal circuit reduction method // VLSI Design. – 2000. – 11. – N 3. – P. 237–248.
26. *Bazylevych R.P., Telyuk T.M.* VLSI and PCB elements placement optimizing using hierarchical scanning area method // 42-th Int. Wissenschaftliches Kolloquium. Technische Universitat Ilmenau. – Ilmenau, 1997. – P. 594–599.
27. *Базилевич Р.П., Щерб'юк І.В.* Початкове розміщення елементів нарощуванням // Комп'ютерна інженерія та інформаційні технології. – 2000. – № 392. – С. 54–56.
28. *Базилевич Р.П., Щерб'юк І.Ф.* Штучна ієрархічна кластеризація в задачах розміщення різногабаритних елементів // Штучний інтелект. – 2002. – № 3. – С. 484–489.
29. *Базилевич Р.П., Щерб'юк І.Ф.* Нисхідне розміщення різногабаритних елементів з оптимізацією методом сканувальної області // Вісн. НУ «Львівська політехніка»: Сер. Комп'ютерна інженерія та інформаційні технології. – 2002. – № 468. – С. 34–37.
30. *Steinberg L.* The backboard wiring problem: a placement algorithm // SIAM Review, 1961. – 3. – N 1. – P. 37–50.

Поступила 25.02.2012

Тел. для справок: (017) 284-2076 (Минск)

(032) 258-2578, 276-5712 (Львів)

+38 095 525-8001 (Свалява)

E-mail: cld@newman.bas-net.by, log@newman.bas-net.by,

rbaz@polynet.lviv.ua, lbas@iapmm.lviv.ua, ihorsch@yandex.ru

© Л.Д. Черемисинова, Р.П. Базилевич, И.П. Логинова,

И.Ф. Щерб'юк, Л.В. Базилевич, 2012

Внимание !

**Оформление подписки для желающих
опубликовать статьи в нашем журнале обязательно.**

В розничную продажу журнал не поступает.

Подписной индекс 71008