

К. ф.-м. н. А. И. ТИМОШКИН

Украина, г. Днепропетровск, ГКБ «Южное»
E-mail: kbu@public.ua.net

Дата поступления в редакцию
29.10 2001 г. — 14.05 2002 г.

Оппонент к. т. н. А. А. ЧЕРЕВКО
("Электронмаш", г. Киев)

КОНТРОЛЕПРИГОДНЫЕ ДВУХКАНАЛЬНЫЕ ЛОГИЧЕСКИЕ СХЕМЫ ЦИФРОВЫХ КОМПАРАТОРОВ

Разработаны контролепригодные двухканальные логические схемы цифровых компараторов, предназначенные для реализации в виде печатных узлов.

Известно, что функциональный контроль и диагностирование дефектов печатных узлов радиоэлектронной аппаратуры (РЭА) является одной из длительных и трудоемких стадий процесса их производства [1]. Снижение трудоемкости и уменьшение длительности функционального контроля печатных узлов и блоков из них достигается за счет повышения их контролепригодности.

Одним из перспективных подходов к повышению контролепригодности цифровых печатных узлов и блоков РЭА является подход, описанный в [2, с. 208, 209]. Этот подход связан в общем случае с модификацией (как правило, с усложнением) базисных логических элементов и с синтезом контролепригодных логических схем из них.

В данной работе представлены две контролепригодные двухканальные (парафазные) логические схемы цифровых компараторов, синтезированные в рам-

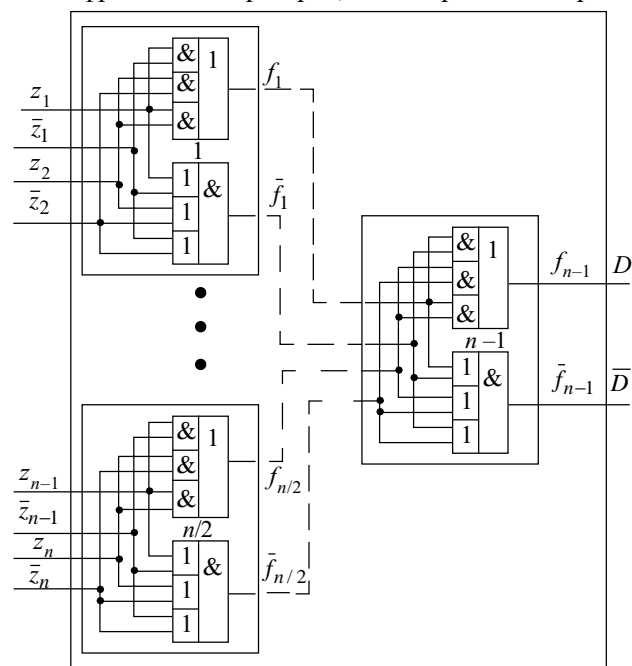


Рис. 1. Схема S_1

ках рассматриваемого подхода и предназначенные для реализации в виде печатных узлов. Для построения этих схем используются специальные функциональные элементы «И» и «ИЛИ» двухканальной логики, которые реализуются в виде отдельных монолитных [3, с. 27] интегральных схем. Этими функциональными элементами являются элементы двухканальных схем S_1 и S_2 , заключенные в прямоугольники $1, \dots, n/2, \dots, n-1$ (где n — четное число), соответственно на рис. 1 и 2. Главная особенность данных элементов, отличающая их от обычных элемен-

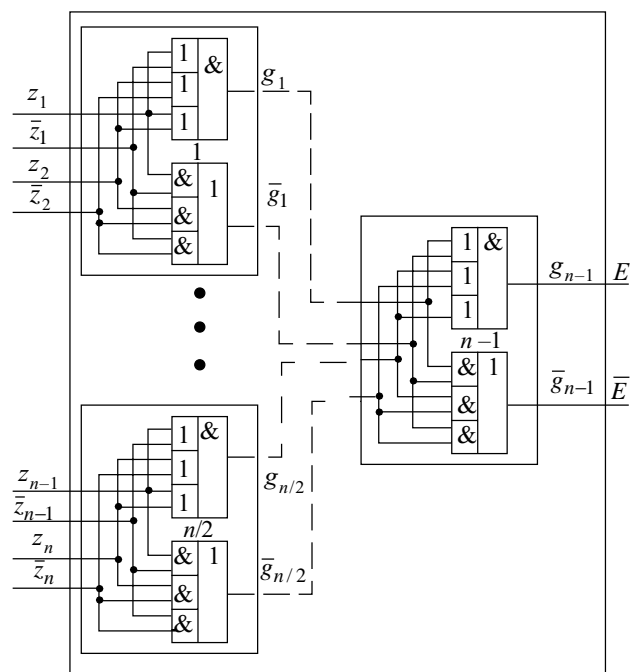


Рис. 2. Схема S_2

тов двухканальной логики [4, с. 81, 82], заключается в том, что они обладают проверяющими тестами длины 2 относительно одиночных и ряда кратных константных неисправностей их входов и выходов. Состав этих тестов одинаков для обоих элементов и описывается табл. 1. Далее эти функциональные элементы будем для краткости называть 2-проверяемыми.

Таблица 1

z_1	\bar{z}_1	z_2	\bar{z}_2	f_1	\bar{f}_1	g_1	\bar{g}_1
0	1	0	1	0	1	0	1
1	0	1	0	1	0	1	0

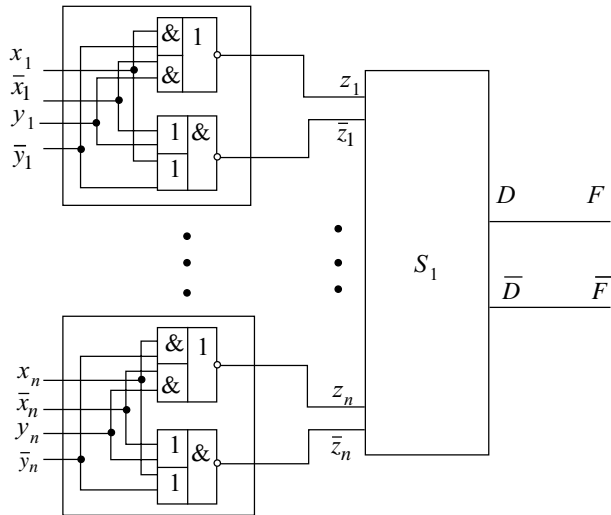


Рис. 3

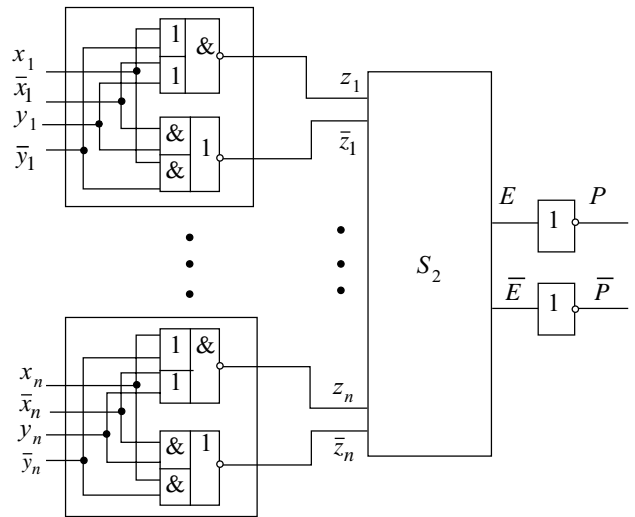


Рис. 4

Необходимые и достаточные условия 2-проверяемости функциональных элементов двухканальной логики относительно одиночных константных неисправностей их входов и выходов, а также древовидных схем из них относительно одиночных константных неисправностей сигнальных линий, были рассмотрены ранее в работе [5]. Древовидные схемы S_1 и S_2 , реализующие зависящие от n пар переменных $(z_1, \bar{z}_1); (z_2, \bar{z}_2); \dots; (z_n, \bar{z}_n)$ функции «И» и «ИЛИ» двухканальной логики, согласно этим условиям, являются 2-проверяемыми относительно одиночных и ряда кратных константных неисправностей сигнальных линий, не принадлежащих их двухканальным элементам. (Двухканальные элементы «И» и «ИЛИ» этих схем, как уже отмечалось, заключены в прямоугольники.) Упомянутые сигнальные линии представляют собой межсоединения печатных узлов. 2-проверяемость схем S_1 и S_2 достигается путем введения тройной избыточности во внутреннюю структуру составляющих их двухканальных элементов «И» и «ИЛИ» (при реализации их по МОП-технологии).

Контролепригодные двухканальные логические схемы цифровых компараторов показаны на рис. 3 и 4. Как видно из рисунков, они получаются путем подключения входов древовидных схем S_1 и S_2 к выходам параллельных блоков из двухканальных элементов «РАВНОЗНАЧНОСТЬ» и «ИСКЛЮЧАЮЩЕЕ ИЛИ», соответственно. Эти элементы реализуются также в виде отдельных интегральных схем. Проверяющие тесты для контролепригодных двухканальных схем цифровых компараторов относительно одиночных и ряда кратных константных неисправностей сигнальных линий, соответствующих межсоединениям печатных узлов, состоят из трех векторов и описываются табл. 2. Эти тесты также обнаруживают более половины неисправностей типа И- и ИЛИ-перемычек межсоединений рассматриваемых печатных узлов.

Таблица 2

x_1	\bar{x}_1	y_1	\bar{y}_1	...	x_n	\bar{x}_n	y_n	\bar{y}_n	F	\bar{F}	P	\bar{P}
1	0	0	1	...	1	0	0	1	0	1	0	1
0	1	1	0	...	0	1	1	0	0	1	0	1
1	0	1	0	...	1	0	1	0	1	0	1	0

В заключение необходимо отметить, что представленные контролепригодные логические схемы цифровых компараторов являются самопроверяемыми относительно одиночных и однонаправленных кратных константных неисправностей межсоединений их печатных узлов, т. к. все отмеченные неисправности проявляются на выходах F, \bar{F} или P, \bar{P} в виде пар значений 00 или 11 на трех входных векторах $x_1 \bar{x}_1 y_1 \bar{y}_1 \dots x_n \bar{x}_n y_n \bar{y}_n$: 1001 ... 1001, 0110 ... 0110, 1010 ... 1010. (Однонаправленная кратная неисправность — такая кратная неисправность, у которой все ее составляющие одиночные неисправности одного типа: “1” или “0”.)

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Лихтциндер Б. Я. Внутрисхемное диагностирование узлов радиоэлектронной аппаратуры.— К.: Техника, 1988.
2. Горяшко А. П. Синтез диагностируемых схем вычислительных устройств.— М.: Наука, 1987.
3. Мурог С. Системное проектирование сверхбольших интегральных схем.— М.: Мир, 1985.
4. Аперидические автоматы / Под ред. В. И. Варшавского.— М.: Наука, 1976.
5. Тимошкин А. И. О реализации некоторых функций двухканальной логики 2-проверяемыми древовидными схемами // Радиопромышленность.— 1994.— № 4.— С. 52—58.