

К. ф.-м. н. А. И. ТИМОШКИН

Россия, г. Ростов-на-Дону, Ростовский гос. университет  
пути сообщения  
Email: rek@rgups.ru

Дата поступления в редакцию  
05. 08 2002 г.

Оппонент к. т. н. А. А. ЧЕРЕВКО  
("Электронмаш", г. Киев)

## КОНТРОЛЕПРИГОДНАЯ СХЕМА ДВОИЧНОГО СУММАТОРА НА ОСНОВЕ 16-РАЗРЯДНОЙ ГРУППЫ СЕКЦИЙ

*Предложена контролепригодная функционально-логическая схема двоичного сумматора на основе 16-разрядной группы 4-разрядных секций с двухуровневым одновременным переносом.*

Известно, что надежность цифровых систем является комплексным понятием, которое, в зависимости от назначения и условий применения данных систем, может включать в себя безотказность, долговечность, ремонтпригодность, сохраняемость, или определенные сочетания этих свойств.

Надежность сложных цифровых систем, требующих проведения периодических профилактических технических испытаний и ремонтов, особенно резервированных восстанавливаемых систем, в значительной степени определяется их ремонтпригодностью. Ремонтпригодность цифровых систем, в свою очередь, зависит от контролепригодности их компонентов, т. е. цифровых печатных узлов и интегральных микросхем. Таким образом, повышение надежности ряда цифровых систем непосредственно связано с улучшением показателей контролепригодности их компонентов.

Наиболее радикально задача обеспечения ремонтпригодности цифровых систем решается при достижении составляющими этих систем максимального уровня контролепригодности, что применительно к цифровым интегральным микросхемам обеспечивается известной концепцией «константного» контролепригодного проектирования [1—5].

В [6] предложена разработанная в рамках упомянутой концепции контролепригодная функционально-логическая схема двоичного сумматора на основе 4-разрядной секции с одновременным (параллельным) переносом [7, с. 125] внутри секций и последовательным переносом между секциями. Эта схема обладает проверяющим тестом из одиннадцати входных векторов относительно всех ее одиночных константных неисправностей, независимо от числа секций в ней. Однако необходимо отметить, что такая (как в этой схеме) организация переносов для повышения быстродействия приемлема, в основном, для схем сумматоров с числом разрядов  $n$ , удовлетворяющим неравенству  $4 \leq n \leq 16$ . Для  $n > 16$  необходимо дальнейшее повышение быстродействия. Увеличивать при этом количество разрядов в секции с одновремен-

ным переносом нецелесообразно, т. к. при этом требуются логические элементы с большим числом входов и большой нагрузочной способностью [8, с. 213; 9, с. 69].

Следующим шагом в направлении повышения быстродействия сумматоров является организация в них двухуровневого одновременного переноса [7, 9]. Именно такая организация переноса для контролепригодной функционально-логической схемы двоичного сумматора на основе 16-разрядной группы 4-разрядных секций и рассматривается в настоящей работе.

Двухуровневый одновременный перенос в двоичных сумматорах предполагает одновременный перенос внутри каждой секции и группы секций и последовательный перенос между группами. Упомянутый способ организации переноса позволяет строить сумматоры с достаточно высокой величиной быстродействия и приемлемым объемом аппаратных средств [7].

Построение предлагаемой контролепригодной функционально-логической схемы двоичного сумматора, как и в [6], базируется на известном из [10, 11] простом представлении функций суммы  $S_j$  и переноса  $C_j$   $j$ -го разряда многоразрядного сумматора в форме полиномов Жегалкина (полиномов по mod 2):

$$\begin{aligned} S_j &= a_j \oplus b_j \oplus c_{j-1}; \\ C_j &= a_j b_j \oplus a_j c_{j-1} \oplus b_j c_{j-1}, \end{aligned} \quad (1)$$

где  $a_j$  и  $b_j$  — значения исходных одноразрядных операндов  $j$ -го разряда;

$c_{j-1}$  — входной сигнал переноса в  $j$ -й разряд.

Вынесем в выражении для выходного сигнала переноса  $C_j$   $j$ -го разряда множитель  $c_{j-1}$  за скобки —

$$C_j = a_j b_j \oplus c_{j-1} (a_j \oplus b_j)$$

и введем далее, как и в [7], две вспомогательные функции генерирования  $g_j$  и передачи  $p_j$  переноса в  $j$ -м разряде:

$$g_j = a_j b_j; \quad p_j = a_j \oplus b_j. \quad (2)$$

С учетом введенных функций выражение для  $C_j$  примет вид

$$C_j = g_j \oplus p_j c_{j-1}. \quad (3)$$

Согласно представлениям (1), (2) и (3), для функций сумм  $S_{4i-3}$ ,  $S_{4i-2}$ ,  $S_{4i-1}$ ,  $S_{4i}$   $i$ -й 4-разрядной секции ( $i \in \{1, 2, 3, 4\}$ ) с одновременным переносом в 16-разрядной группе секций можно получить следующие формулы:

$$\begin{aligned}
 S_{4i-3} &= a_{4i-3} \oplus b_{4i-3} \oplus u_1 \oplus C_{i-1}; \\
 S_{4i-2} &= a_{4i-2} \oplus b_{4i-2} \oplus u_2 \oplus g_{4i-3} \oplus (p_{4i-3} \oplus u_1) C_{i-1}; \\
 S_{4i-1} &= a_{4i-1} \oplus b_{4i-1} \oplus u_3 \oplus g_{4i-2} \oplus (p_{4i-2} \oplus u_2) g_{4i-3} \oplus \\
 &\oplus (p_{4i-2} \oplus u_2)(p_{4i-3} \oplus u_1) C_{i-1}; \\
 S_{4i} &= a_{4i} \oplus b_{4i} \oplus u_4 \oplus g_{4i-1} \oplus (p_{4i-1} \oplus u_3) g_{4i-2} \oplus \\
 &\oplus (p_{4i-1} \oplus u_3)(p_{4i-2} \oplus u_2) g_{4i-3} \oplus \\
 &\oplus (p_{4i-1} \oplus u_3)(p_{4i-2} \oplus u_2)(p_{4i-3} \oplus u_1) C_{i-1}, \quad (4)
 \end{aligned}$$

где  $a_{4i}, b_{4i}, a_{4i-1}, b_{4i-1}, a_{4i-2}, b_{4i-2}, a_{4i-3}, b_{4i-3}$  — разряды исходных четырехразрядных операндов  $i$ -й секции;  $g_{4i-3}, g_{4i-2}, g_{4i-1}, p_{4i-3}, p_{4i-2}, p_{4i-1}$  — вспомогательные функции генерирования и передачи переноса для  $4i-3, 4i-2, 4i-1$  разрядов  $i$ -й секции;  $C_{i-1}$  — входной сигнал переноса в  $i$ -ю секцию;  $u_1, u_2, u_3, u_4$  — дополнительные управляющие входные переменные.

Формулы для входных сигналов переноса  $C_1, C_2, C_3$  во вторую, третью и, соответственно, четвертую 4-разрядные секции 16-разрядной группы секций имеют вид:

$$\begin{aligned}
 C_1 &= G_1 \oplus P_1(C_0 \oplus t) \oplus d_1; \\
 C_2 &= G_2 \oplus P_2 G_1 \oplus P_2 P_1(C_0 \oplus t) \oplus d_2; \\
 C_3 &= G_3 \oplus P_3 G_2 \oplus P_3 P_2 G_1 \oplus P_3 P_2 P_1(C_0 \oplus t) \oplus d_3, \quad (5)
 \end{aligned}$$

где  $G_i (i \in \{1, 2, 3\})$  — функция генерирования сигнала переноса в  $i$ -й секции;  $P_i$  — функция передачи переноса через  $i$ -ю секцию;  $C_0$  — входной сигнал пе-

реноса в группу секций;  $d_1, d_2, d_3$  и  $t$  — дополнительные управляющие входные переменные.

Функции  $G_i$  и  $P_i$  для  $i$ -й секции ( $i \in \{1, 2, 3\}$ ) выражаются через функции  $g_{4i}, g_{4i-1}, g_{4i-2}, g_{4i-3}, p_{4i}, p_{4i-1}, p_{4i-2}, p_{4i-3}$  и дополнительные управляющие входные переменные  $e_{2i}$  и  $e_{2i-1}$  этой же секции следующим образом:

$$\begin{aligned}
 G_i &= g_{4i} \oplus (p_{4i} \oplus u_4) g_{4i-1} \oplus (p_{4i} \oplus u_4)(p_{4i-1} \oplus u_3) g_{4i-2} \oplus \\
 &\oplus (p_{4i} \oplus u_4)(p_{4i-1} \oplus u_3)(p_{4i-2} \oplus u_2) g_{4i-3} \oplus e_{2i-1}; \\
 P_i &= (p_{4i} \oplus u_4)(p_{4i-1} \oplus u_3)(p_{4i-2} \oplus u_2)(p_{4i-3} \oplus u_1) \oplus e_{2i}. \quad (6)
 \end{aligned}$$

При этом выходной сигнал переноса из 16-разрядной группы секций описывается формулой

$$\begin{aligned}
 C_4 &= g_{16} \oplus (p_{16} \oplus u_4) g_{15} \oplus (p_{16} \oplus u_4)(p_{15} \oplus u_3) g_{14} \oplus \\
 &\oplus (p_{16} \oplus u_4)(p_{15} \oplus u_3)(p_{14} \oplus u_2) g_{13} \oplus \\
 &\oplus (p_{16} \oplus u_4)(p_{15} \oplus u_3)(p_{14} \oplus u_2)(p_{13} \oplus u_1) C_3 \oplus u_5, \quad (7)
 \end{aligned}$$

где  $g_{16}, g_{15}, g_{14}, g_{13}, p_{16}, p_{15}, p_{14}, p_{13}$  — вспомогательные функции генерирования и передачи переноса для 16-, 15-, 14- и 13-го разрядов 4-й секции;  $C_3$  — входной сигнал переноса в 4-ю секцию;  $u_5$  — дополнительная управляющая входная переменная.

Обобщенная контролепригодная логическая схема  $Q_1$  для первой, второй и третьей 4-разрядных секций 16-разрядной группы секций, реализованная по формулам (4) и (6), приведена на рис. 1, схема  $Q_2$  для четвертой (старшей) 4-разрядной секции, реализованная по формулам (4) и (7), приведена на рис. 2.

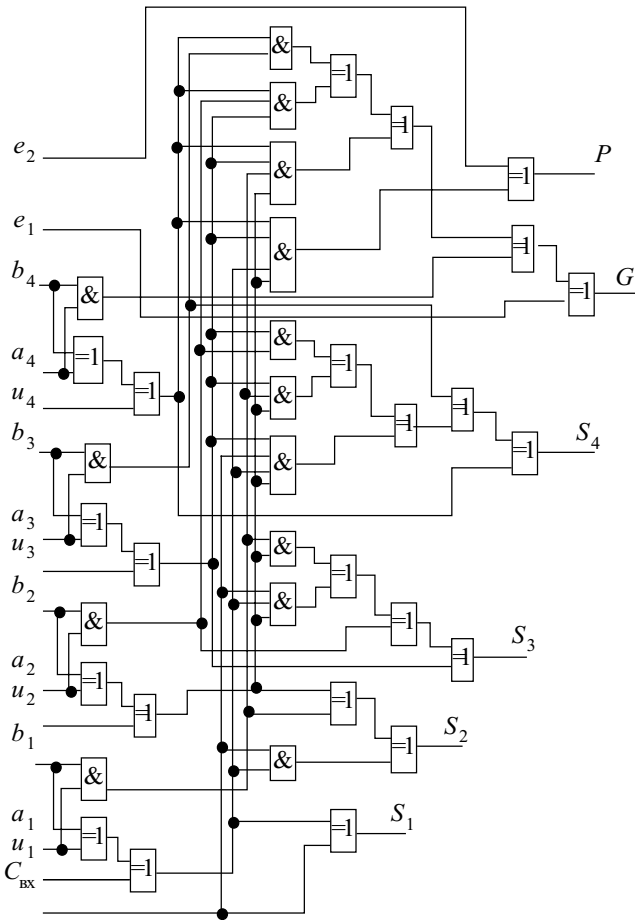


Рис. 1. Контролепригодная логическая схема  $Q_1$

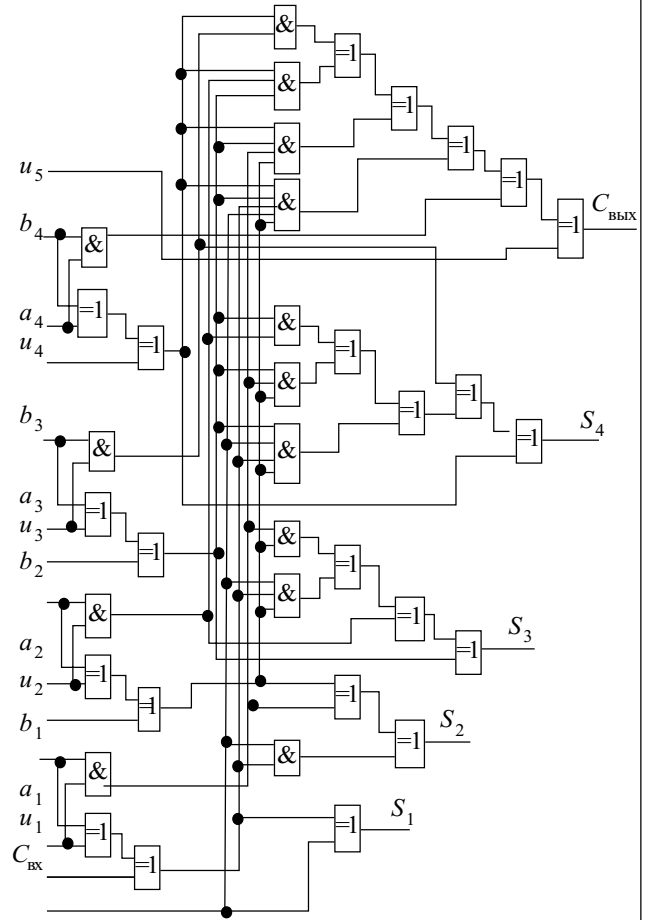


Рис. 2. Контролепригодная логическая схема  $Q_2$

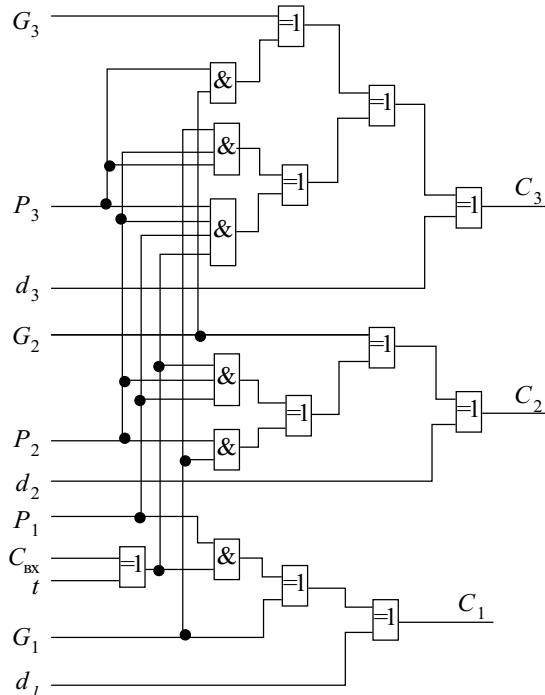
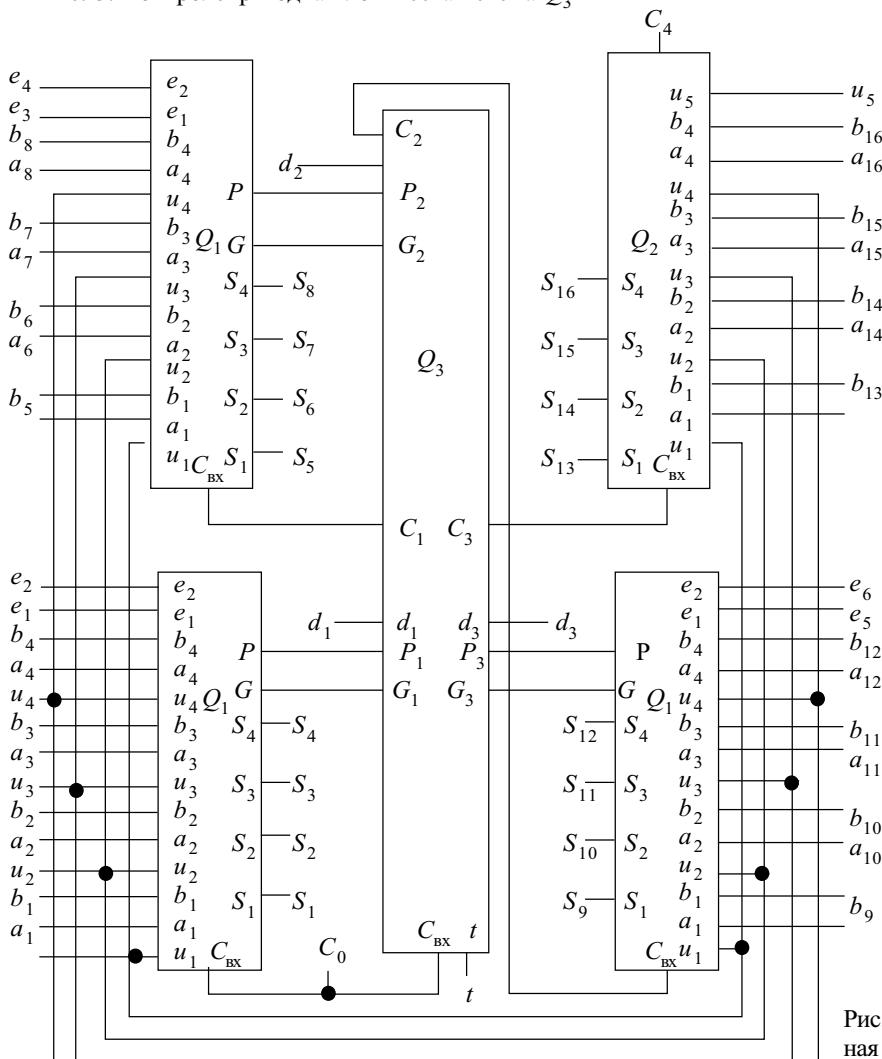


Рис. 3. Контролепригодная логическая схема  $Q_3$

Логическая схема  $Q_3$  ускоренного переноса для 16-разрядной группы секций, реализованная по формулам (5), показана на рис. 3.

На рис. 4 приведена контролепригодная функциональная схема для 16-разрядной группы секций  $n$ -разрядного двоичного сумматора, где  $n=16m$ ,  $m$  — натуральное число.

Схема с последовательным переносом между группами секций образуется из  $m$  схем 16-разрядной группы секций путем соединения выхода переноса  $C_4$  ( $j-1$ )-й группы со входом переноса  $C_0$   $j$ -й группы, где  $2 \leq j \leq m$ . Дополнительный управляющий вход  $u_k$  каждой группы соединяется с внешним входом  $U_k$   $n$ -разрядного двоичного сумматора для  $\forall k \in \{1, 2, 3, 4, 5\}$ , дополнительный управляющий вход  $e_r$  — с внешним входом  $E_r$  для  $\forall r \in \{1, 2, 3, 4, 5, 6\}$ , дополнительный управляющий вход  $d_v$  — с внешним входом  $D_v$  для  $\forall v \in \{1, 2, 3\}$ . Кроме этого, дополнительный управляющий вход  $t$  каждой группы соединяется с внешним входом  $T$ . При этом в рабочем режиме на управляющие входы  $u_1, u_2, u_3, u_4, u_5, e_1, e_2, e_3, e_4, e_5, e_6, d_1, d_2, d_3, t$  и вход переноса в младшую группу секций  $C_0$  подаются сигналы логического «0».



Проверяющий тест для каждой  $j$ -й 16-разрядной группы секций ( $j \in \{1, 2, \dots, m\}$ ) один и тот же и содержит 11 векторов. Состав этого теста описывается таблицей. Следует отметить, что подвекторы тестовых векторов, поступающие на входы  $a_{4i-3}, b_{4i-3}, a_{4i-2}, b_{4i-2}, a_{4i-1}, b_{4i-1}, a_{4i}, b_{4i}$  идентичны для каждой  $i$ -й ( $i \in \{1, 2, 3, 4\}$ ) 4-разрядной секции 16-разрядной группы секций.

Проверяющий тест для контролепригодной схемы  $n$ -разрядного двоичного сумматора, состоящего из  $m$  групп секций, образуется из  $m$  групп секций, простой итерации теста из таблицы. Данный тест обнаруживает все одиночные константные неисправности и значительную часть константных неисправностей кратности 2 сигнальных линий рассматриваемой схемы (в т. ч. во внутренней структуре элементов «Исключающее ИЛИ»), при этом длина этого теста не зависит от числа групп секций в сумматоре.

Рис. 4. Контролепригодная функциональная схема для 16-разрядной группы секций многоразрядного сумматора

$u_1$	$u_2$	$u_3$	$u_4$	$u_5$	$e_1$	$e_2$	$e_3$	$e_4$	$e_5$	$e_6$	$d_1$	$d_2$	$d_3$	$t$	$C_0$	$a_{4i-3}$	$b_{4i-3}$	$a_{4i-2}$	$b_{4i-2}$	$a_{4i-1}$	$b_{4i-1}$	$a_{4i}$	$b_{4i}$	$S_{4i-3}$	$S_{4i-2}$	$S_{4i-1}$	$S_{4i}$	$C_4$
1	1	1	0	1	0	0	0	1	1	1	1	1	0	0	1	1	1	1	1	1	1	0	0	0	1	0	0	1
1	1	1	1	0	0	1	0	1	1	1	0	1	1	1	1	1	1	1	1	0	1	1	1	0	1	1	1	1
1	1	1	1	1	1	1	1	0	1	1	1	0	1	0	1	1	0	1	1	1	1	1	1	0	0	1	0	1
1	1	0	0	0	0	1	0	1	1	0	1	0	1	0	1	1	0	1	1	0	1	0	1	1	1	0	0	1
1	0	1	0	0	0	0	0	0	0	0	1	1	1	1	0	1	1	0	1	1	1	1	0	1	0	0	1	0
0	1	0	1	0	1	0	0	0	1	0	1	1	0	0	1	0	1	1	1	1	0	1	1	0	0	1	1	1
0	0	0	1	0	1	0	0	0	0	1	1	0	0	0	0	0	0	1	0	1	1	0	1	0	0	0	1	0
0	0	0	1	1	1	0	0	0	0	0	0	1	1	0	0	0	1	1	0	0	1	1	0	0	0	1	1	0
0	0	0	1	1	0	1	1	1	1	1	0	0	0	1	0	1	1	0	0	1	0	1	1	0	1	1	1	0
1	1	1	1	0	0	1	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	0	1	0	1	1
1	1	0	1	1	0	0	0	1	1	0	1	0	0	1	1	1	1	1	1	1	0	1	1	0	1	0	0	1

Таким образом, удалось построить контролепригодную функционально-логическую схему двоичного сумматора с двухуровневым одновременным переносом, которая обладает проверяющим тестом той же длины, что и контролепригодная схема двоичного сумматора в работе [6].

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Friedman A. D. Easily testable iterative systems // IEEE Trans. on computers.— 1973.— N 12.— P. 1061—1064.
2. Saluja K. K., Reddy S. M. On minimally testable logic networks // Ibid.— 1974.— N 5.— P. 552 —554.
3. Elhuni H., Vergis A., Kinney L. C-testability of two-dimensional iterative arrays // IEEE Trans. on comput. aided design.— 1986.— Vol. CAD-5, N 4.— P. 573—581.
4. Lombardi F., Huang W. K. Fault detection and design complexity in C-testable VLSI arrays // IEEE Trans. on computers.— 1990.— Vol. 39, N 12.— P. 1477—1481.

5. Qiao T., Jha N. K. Design of C-testable DCVS binary array dividers // IEEE J. of Solid-state circuits.— 1991.— Vol. 26, N 2.— P. 134—141.
6. Тимошкин А. И. Контролепригодная схема двоичного сумматора с повышенным быстродействием // Технология и конструирование в электронной аппаратуре.— 2002.— № 1.— С. 10—13.
7. Мик Дж., Брик Дж. Проектирование микропроцессорных устройств с разрядно-модульной организацией. Кн. 1.— М.: Мир, 1984.
8. Карцев М. А. Арифметика цифровых машин.— М.: Наука, 1969.
9. Киносита К., Асада К., Карацу О. Логическое проектирование СБИС.— М.: Мир, 1988.
10. Тимошкин А. И. Контролепригодная функционально-логическая схема двоичного сумматора // Приборы и системы управления.— 1997.— № 1.— С. 42—43.
11. Тимошкин А. И. Контролепригодная схема двоичного сумматора // Автоматика и вычислительная техника.— 2000.— № 3.— С. 82—84.

ВЫШЛА В СВЕТ

**Стрельников В. П., Федухин А. В. Оценка и прогнозирование надежности электронных элементов и систем.— К.: Логос, 2002.— 486 с.**

Авторы, известные специалисты в области надежности интегральных микросхем и изделий электронной техники, в своей монографии подробно рассмотрели методы расчета и оценки надежности электронных элементов и систем по результатам сокращенных, безотказных и ускоренных испытаний. В книге представлены методики прогнозирования остаточного ресурса сложных технических объектов на любой стадии эксплуатации как на основе первичных параметров надежности комплектующих изделий, так и на основе статистических данных, полученных в процессе эксплуатации. Монография содержит большое количество примеров и задач по оценке и расчету надежности изделий электронной техники и предназначена для разработчиков вычислительных и измерительных систем, устройств связи, контроля и управления.

ВЫШЛА В СВЕТ

**Вербицкий В. Г. Ионные нанотехнологии в электронике. Монография.— К.: «МП Леся», 2002.— 376 с.**

В книге дан подробный анализ физико-технологических основ формирования нанослоев для СБИС, описаны методы ионной модификации вещества в нанослоях, методы получения заданных характеристик и параметров нанозаполнителей, детально рассмотрены фундаментальные теоретические представления о взаимодействии ионов с гетероструктурами и поверхностями, освещены новейшие достижения нанотехнологий и их применение в электронике.

Книга полезна для специалистов, работающих в этой области, и может использоваться как учебное пособие.

НОВЫЕ КНИГИ

