

# КОМП'ЮТЕРНІ ЗАСОБИ, МЕРЕЖІ ТА СИСТЕМИ

*Предложен метод синтеза устройства управления с разделением управляющей памяти на области операторных линейных цепей и выходов. Это позволяет минимизировать число входов схемы формирования адреса микрокоманд. Разработан алгоритм синтеза, рассмотренный на конкретном примере.*

© А.А. Баркалов, А.В. Матвиенко,  
2002

УДК 681.327

А.А. БАРКАЛОВ, А.В. МАТВИЕНКО

## СИНТЕЗ КОМПОЗИЦИОННОГО МИКРОПРОГРАММНОГО УСТРОЙСТВА УПРАВЛЕНИЯ С ФИКСИРОВАННОЙ ОБЛАСТЬЮ ВЫХОДОВ

В настоящее время программируемые логические устройства (ПЛУ) типа ПЛМ, ПЛИС, ПЗУ широко применяются при проектировании микропрограммных устройств управления [1]. В работах [2-3] предложен класс композиционных микропрограммных устройств управления (КМУУ), представляющих собой композицию автоматов с "жесткой" и "программируемой" логикой. В настоящей работе предлагается структура и формализованный метод синтеза КМУУ, позволяющий при определенных условиях уменьшить число ПЛМ или ПЛИС по сравнению с методами [2, 3].

Пусть задана граф-схема алгоритма (ГСА)  $\Gamma = \Gamma(V, E)$ , где  $V = D \cup P \cup \{b_0, b_Q\}$  – множество вершин;  $D$  – множество операторных вершин, в которых записаны наборы микроопераций (НМО)  $Y_i \in Y$ , где  $Y$  – множество микроопераций;  $P$  – множество условных вершин, в которых записываются логические условия  $X$ ;  $b_0, b_Q$  – начальная и конечная вершины ГСА соответственно;  $E$  – множество дуг.

Предлагаемый метод синтеза основан на формировании множества операторных линейных цепей (ОЛЦ)  $C = \{\alpha_1, \dots, \alpha_G\}$  и на естественной адресации микрокоманд в пределах каждой цепи [2, 3]. Отметим, что любая цепь может иметь несколько входов и только один выход. Обозначим множества входов и выходов всех ОЛЦ ГСА  $\Gamma$  соответственно  $I(\Gamma)$  и  $O(\Gamma)$ . Назовем  $A(O_g)$  адресом выхода ОЛЦ  $\alpha_g \in C$  адрес ячейки управляю-

щей памяти, содержащей набор  $Y_i$ , записанный в операторной вершине ОЛЦ  $\alpha_g$ . Аналогично определяется адрес  $A(I^j_g)$  j-го входа ОЛЦ  $\alpha_g$ .

В работах [2,3] предложена структура КМУУ  $U_1$ , в которой автомат с "жесткой" логикой  $S_1$  формирует адреса входов ОЛЦ, а автомат с "программируемой" логикой  $S_2$  осуществляет адресацию микрокоманд в пределах каждой цепи рис.1.

На рис.1: ПЛМ – элементный базис, реализующий комбинационную схему  $S_1$ ; РП – регистр памяти  $S_1$ , хранящий R-разрядные коды  $K(a_m)$  состояний  $a_m \in A$  автомата  $S_1$ , где  $A = \{ a_1, \dots, a_M \}$ ,  $R = \lceil \log_2 M \rceil$ ; СЧАМК – счетчик адреса микрокоманд, хранящий Z – разрядные коды микрокоманд,  $Z = \lceil \log_2 F \rceil$ , где  $F=|D|$ ; УП – управляющая память, содержащая микропрограмму. В  $U_1$  автомат  $S_1$  формирует функции возбуждения СЧАМК  $\phi_r \in \Phi_1 = \{ \phi_1, \dots, \phi_Z \}$  и регистра РП  $\delta_z \in \Phi_2 = \{ \phi_{Z+1}, \dots, \phi_{Z+R} \}$ .

При выполнении условия

$$(R + Z > t) \ \& \ (Z \leq t) = 1, \tag{1}$$

где  $t$  – число выходов ПЛМ, в логической схеме  $S_1$  требуется расширение ПЛМ по выходам, что приводит к увеличению аппаратных затрат в схеме.

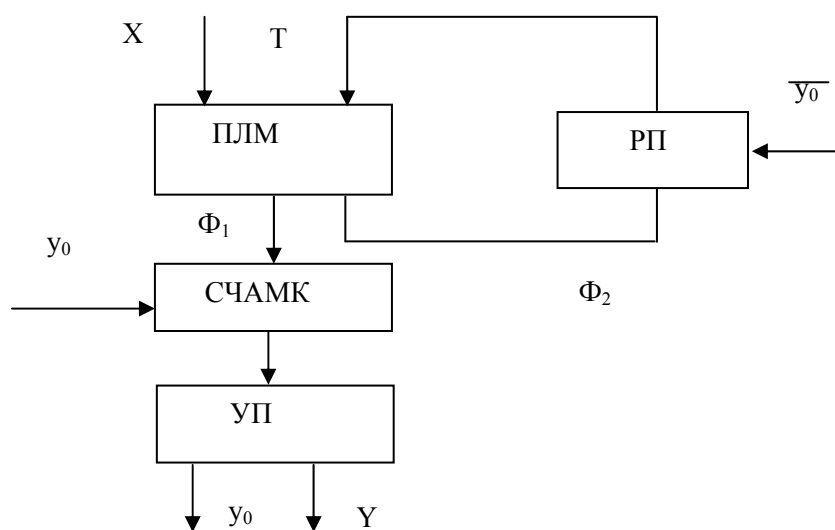


РИС. 1. Структурная схема КМУУ  $U_1$

В настоящей работе предлагается структура  $U_2$  (рис. 2,а), в которой управляющая память разделена на две части: область выходов УП1 и область цепей УП2. Микропрограмма КМУУ  $U_2$  содержит микрокоманды четырех форматов (рис. 2,б)), отличающихся кодом операции (КОП) и назначением полей:

1) КОП = 00 – операционная микрокоманда (ОМК), поле FУ содержит  $m$  – разрядный код выполняемого НМО. Для перехода к следующей МК к СЧАМК прибавляется единица;

2) КОП = 01 – управляющая микрокоманда первого типа (УМК1), поле FА содержит  $Z$  – разрядный адрес перехода в область выходов ( $Z < m$ ). Этот адрес устанавливается в СЧАМК;

3) КОП = 10 – управляющая микрокоманда второго типа (УМК2), разрешающая запись в СЧАМК адреса входа очередной ОЛЦ, поступающего из автомата  $S_i$ ;

4) КОП = 11 – операционная микрокоманда, соответствующая окончанию микропрограммы, будем называть ее заключительной микрокомандой (ЗМК).

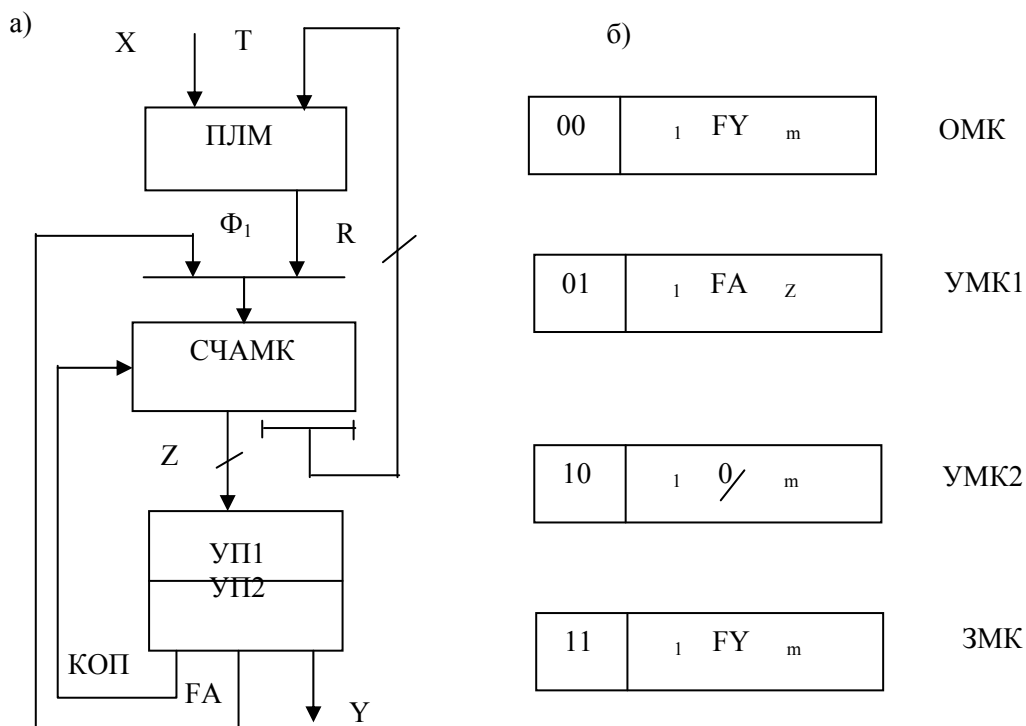


РИС. 2. Структурная схема: а) формат микрокоманд; б) КМУУ  $U_2$

При выполнении УМК1 и УМК2 КМУУ  $U_2$  не формирует микрокоманды, т.е. время выполнения микропрограммы будет больше, чем в  $U_1$ . Для уменьшения этого недостатка можно использовать разное время такта для выполнения операционных и управляющих микрокоманд.

Управляющая память КМУУ  $U_2$  содержит  $F$  ячеек для хранения ОМК,  $G_1$  ячеек для УМК1 ( $G_1 \leq G$ ) и  $M$  ячеек для УМК2 ( $M \leq G$ ), так как группа ОЛЦ, выходы которых связаны с одной и той же вершиной ГСА, может идентифицироваться одним адресом FA. Итак, для адресации УП требуется  $Z_1 = \lceil \log_2 (F + G_1 + M) \rceil$  [ разрядов СЧАМК. При выполнении условия

$$Z_1 > Z \tag{2}$$

применение  $U_2$  нецелесообразно, так как число ПЗУ в УП по сравнению с  $U_1$  практически удваивается.

Алгоритм синтеза КМУУ  $U_2$  включает следующие этапы:

- 1) формирование множества ОЛЦ  $S$  минимальной мощности;
- 2) разбиение множества  $S$  на блоки ОЛЦ и естественная адресация микрокоманд в пределах каждой ОЛЦ;
- 3) формирование содержимого УП;
- 4) формирование системы функций  $\Phi_1 = \Phi_1(X, T)$ ;
- 5) синтез логической схемы  $U_2$  в заданном базисе.

Формальные методы решения задач, возникающих на первом этапе, рассмотрены в [2, 3]. Дальнейшее изложение проиллюстрируем на примере ГСА  $\Gamma_1$  (рис. 3), для которой

$$S = \{ \alpha_1, \dots, \alpha_4 \},$$

где  $\alpha_1 = (b_1, b_2, b_3)$ ;  $\alpha_2 = (b_6, b_7, b_8)$ ;  $\alpha_3 = (b_9, b_{10}, b_{11})$ ;  $\alpha_4 = (b_{12}, b_{13})$ ;  $I(\Gamma_1) = \{b_1, b_6, b_9, b_{12}\}$ ;  $O(\Gamma_1) = \{b_3, b_8, b_{11}, b_{13}\}$ .

Введем в каждую ОЛЦ  $\alpha_g \in S$  по одной дополнительной вершине с номерами от  $Q$  до  $Q+G$ . Эти вершины будут в цепях  $\alpha_1, \alpha_3, \alpha_4$  соответствовать УМК1, а в цепи  $\alpha_2$  – ЗМК. Теперь  $\alpha_1 = (b_1, b_2, b_3, b_{15})$ ;  $\alpha_2 = (b_6, b_7, b_8)$ ;  $\alpha_3 = (b_9, b_{10}, b_{11}, b_{16})$ ;  $\alpha_4 = (b_{12}, b_{13}, b_{17})$ .

Для формирования разбиения множества  $S$  на блоки, зададим на этом множестве отношение  $\beta$  такое, что цепи  $\alpha_n$  и  $\alpha_m$  находятся в этом отношении, если и только если существуют дуги  $(b_n, b_t), (b_m, b_t) \in E$ , где  $b_n, b_m$  – выходы цепей  $\alpha_n, \alpha_m$  соответственно. При этом из множества  $S$  необходимо исключить цепи, содержащие ЗМК. Для нашего примера формируется разбиение  $\pi_\beta = \{V_1\}$ , где  $V_1 = \{ \alpha_1, \alpha_3, \alpha_4 \}$ . Для кодирования  $V_1$  достаточно одной переменной, т.е.  $T = \{T_1\}$ . Сформируем дополнительную ОЛЦ  $\alpha_0$ , содержащую вершины, соответствующие УМК2. Для нашего примера  $\alpha_0 = (b_{18})$ , отметим, что порядок следования вершин в  $\alpha_0$  не имеет значения.

Адресация микрокоманд осуществляется так же, как в [2, 3], при этом первыми адресуются микрокоманды, соответствующие  $\alpha_0$ . Для нашего примера УП содержит  $F + G_1 + |\pi_\beta| = 15$  микрокоманд и  $Z_1 = 4 = Z$ . Распределение микрокоманд показано в таблице.

Для формирования системы функций  $\Phi_1$  может быть использована методика из работы [4].

Исследования, проведенные авторами, показали, что при выполнении условия (1) число ПЛИМ в  $U_2$  на 25-30% меньше, чем в  $U_1$ . Отметим, что эта структура применима только при  $Z_1 = Z$ , т.е. если условие (2) не выполняется, и если кри-

терием эффективности схемы является минимум аппаратных затрат, а не максимум быстродействия.

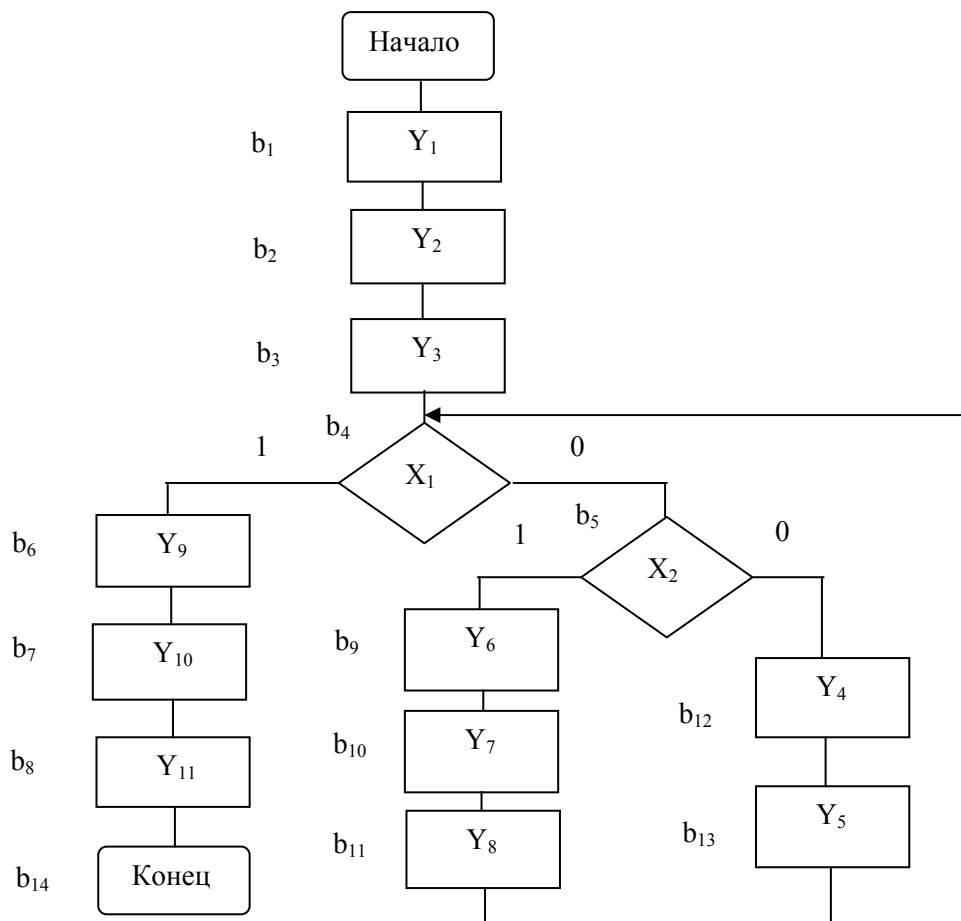


РИС. 3. Граф-схема алгоритма  $\Gamma_1$

ТАБЛИЦА. Распределение микрокоманд в управляющей памяти

Адрес	КОП	FY	Вершина	Примечание		
		ФА		5	6	7
1	2	3	4	5	6	7
0000	10	∅	$b_{18}$	УМК2		УП1
0001	00	$Y_1$	$b_1$	$I_1^1$	$\alpha_1$	УП2
0010	00	$Y_2$	$b_2$			
0011	00	$Y_3$	$b_3$	$O_1$		
0100	01	0000	$b_{15}$	УМК2		
0101	00	$Y_9$	$b_6$	$I_2^1$	$\alpha_2$	

Окончание табл.

1	2	3	4	5	6	7
0110	00	$Y_{10}$	$b_7$			
0111	11	$Y_{11}$	$b_8$	$O_2$	ЗМК1	
1000	00	$Y_6$	$B_9$	$I_3^1$	$\alpha_3$	
1001	00	$Y_7$	$b_{10}$			
1010	00	$Y_8$	$b_{11}$			
1011	01	0000	$b_{16}$			
1100	00	$Y_4$	$b_{12}$	$I_4^1$	$\alpha_4$	
1101	00	$Y_5$	$b_{13}$			
1110	01	0000	$b_{17}$	УМК1		
1111						

1. *Bostock G.* Programmable Logic Handbook.– London: Collins Professional Book, 1988. – 243 p.
2. *Баркалов А.А.* Микропрограммное устройство управления как композиция автоматов с программируемой и жесткой логикой // АВТ. – 1983.– № 4. – С. 42–50.
3. *Баркалов А.А., Матвиенко А.В.* Реализация микропрограммного устройства управления композицией автоматов с жесткой и программируемой логикой // В кн.: Микропроцессорные средства, разработка и применение. – Киев: Ин-ут кибернетики АН УССР, 1985. – С. 38–42.
4. *Баркалов А.А., Швец А.Г.* Синтез композиционного микропрограммного устройства управления с модифицированной адресацией микрокоманд // АВТ. – 1994. – №5. – С.22–30.

Получено 01.07.2002