



УДК 004.051-054

А. И. Андрюхин, канд. техн. наук
Донецкий национальный технический университет
(Украина, 83005, Донецк, ул. Артема, 24,
тел. (062) 301-07-57, E-mail: alexandruckin@rambler.ru)

Метод параллельной генерации тестов на переключательном уровне для МОП-схем

Рассмотрен параллельный метод генерации тестов на переключательном уровне. Представлены экспериментальные результаты исследований эффективности предложенного метода для схем списка Iscas-89.

Розглянуто паралельний метод генерації тестів на перемикальному рівні. Наведено експериментальні результати ефективності досліджень запропонованого методу для схем списку Iscas-89.

К л ю ч е в ы е с л о в а: параллельная генерация, тест переключательный, цифровое моделирование.

Тестирование современных СБИС, выполненных по МОП и КМОП, БиКМОП технологиям, в связи с быстрым возрастанием степени интеграции, рабочей частоты и архитектурной сложности является более трудоемкой и затратной операцией, чем тестирование схем, изготовленных по технологии эмиттерно-связанной или транзисторно-транзисторной логики. Использование известной модели константных неисправностей для вентиляющего представления МОП-схемы не позволяет описывать реальные физические дефекты.

Предложено множество путей решения этой задачи: различные расширения вентиляющего подхода, переход на транзисторный уровень, токовые модели IDDQ (direct drain quiescent current) и др. [1—3]. Применение переключательных моделей — наиболее известный и радикальный путь обеспечения единого подхода к моделированию различных неисправностей схем, изготовленных согласно различным направлениям МОП-технологий [4—7]. В этих моделях используется представление устройства на транзисторном уровне и учитываются конкретные особенности МОП-схем с учетом их топологической структуры.

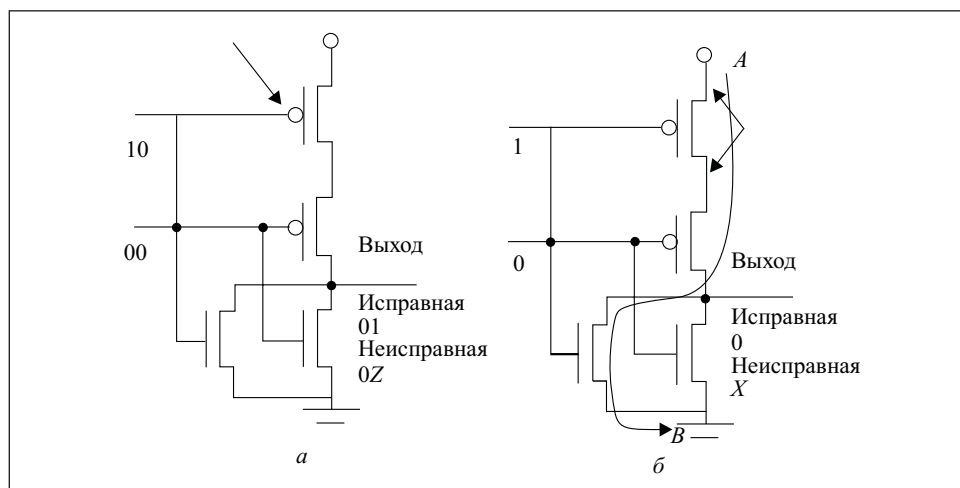


Рис 1. Схемы обнаружения SOP-неисправности (а) и SON-неисправности (б) вентиля ИЛИ-НЕ: АВ — путь тока при использовании метода IDDQ

Постановка задачи. Замыкания (обрывы) между слоями металлизации, между областями диффузии, между слоями металлизации и подложкой и другие реальные дефекты МОП-схем отображаются тремя классами неисправностей (моделями дефектов): SA (stuck-at), SOP (stuck-open) и SON (stuck-on). Это соответствует моделям константных неисправностей, устойчивых обрывов транзисторов и устойчивых замыканий транзисторов [1]. Известно, что обрывы (замыкания) транзисторов могут перевести устройство из класса комбинационных схем в класс последовательных схем. На вентильном уровне моделировать эти дефекты невозможно или чрезвычайно трудно [1, 3].

На рис. 1 представлены схемы обнаружения SOP- и SON-неисправностей вентиля ИЛИ-НЕ. Для обнаружения SON-неисправностей требуется использование метода IDDQ, т.е. измерение тока, значения вход-выходных реакций указаны для исправной и неисправной схем.

На рис. 2 представлены путь тока при наличии неисправности и сила тока на выходе для исправной и неисправной схем при применении метода IDDQ. Как показали результаты исследований, существуют границы использования IDDQ тестирования. При субмикронных технологиях увеличиваются токи утечки и труднее определить пороговые значения IDDQ для разделения исправных и неисправных чипов. Метод IDDQ эффективен, когда средний ток в схеме с неисправностью больше, чем ток в исправном устройстве.

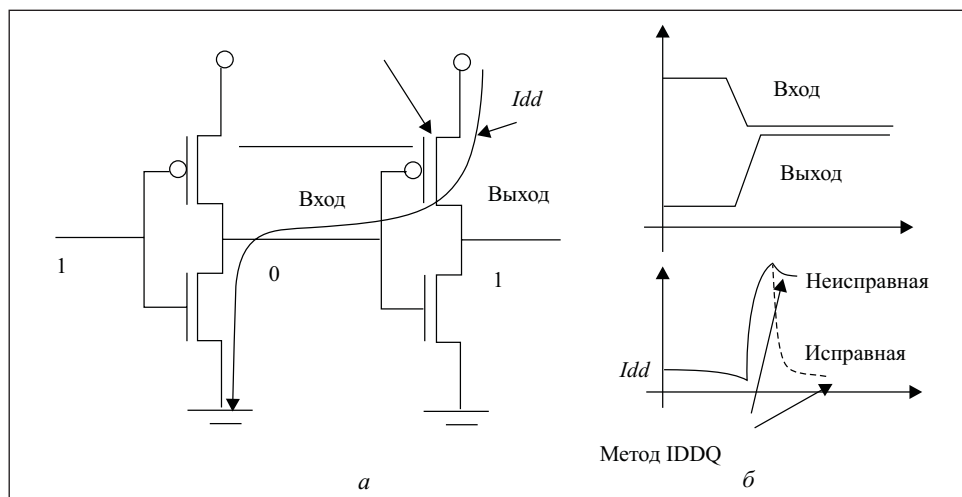


Рис 2. Путь тока при наличии неисправности (а) и значения тока I_{dd} в исправной и неисправной схемах (б)

Методы диагностирования, в которых используются токовые модели, имеют такие особенности:

- 1) вследствие разброса проводимостей транзисторов точность определяется сложностью кристалла;
- 2) токовые испытания можно проводить только на низкой частоте;
- 3) более простое построение тестов, так как не требуется строить чувствительный путь от места неисправности до выхода схемы.

Моделирование неисправностей является основным инструментом при построении контрольных (проверочных) и диагностических тестов для цифровых систем. Необходимость использования переключательного уровня при анализе КМОП-неисправностей приводит к значительному увеличению числа неисправностей различных классов. Это обусловлено тем, что если логические вентили реализуются с помощью нескольких транзисторов, то для аппаратной реализации большинства триггерных примитивов требуется несколько десятков транзисторов.

Следует также заметить, что возможности использования правил для определения эквивалентных неисправностей на переключательном уровне незначительные. Поэтому моделирование неисправностей на переключательном уровне требует значительно больших затрат компьютерного времени и памяти, чем моделирование на вентильно-функциональном уровне.

Анализ оценок тестируемости эталонных схем на случайных наборах (табл. 1) и известные оценки снижения покрывающей способности псевдо-

случайных тестов также свидетельствуют о необходимости увеличения быстродействия моделирования неисправностей.

Предлагаемый метод позволяет повысить эффективность моделирования наиболее значимых физических дефектов МОП-схем на переключательном уровне.

Решение задачи. Ранее производительность компьютерных систем определялась тактовой частотой, оптимизацией исполнения команд и увеличением кэш-памяти. В настоящее время она определяется многоядерностью компьютерных средств и развитием технологий параллельного программирования, которые позволяют решить проблему уменьшения темпов возрастания тактовой частоты. Эти технологии дают возможность принципиально по-новому подойти к созданию масштабируемого программного обеспечения, при котором используется увеличение числа вычислительных узлов в процессоре [8]. В этом случае производительность программного обеспечения возрастает не только при увеличении тактовой частоты центрального процессора, но и при увеличении числа ядер в нем.

Основные этапы алгоритма распараллеливания моделирования КМОП-неисправностей для оценки покрывающей способности теста следующие.

1. Исходный большой файл списка неисправностей определенного типа разбиваем на множество небольших файлов, в которых осуществляется независимое параллельное моделирование неисправностей на множестве вычислителей. Если весь список разбить на N равных частей и распределить на N вычислителей одинаковой мощности, то эффективность увеличивается в N раз.

2. Если вычислитель — многоядерный, используем технологию OpenMP в ее простейшем варианте для распараллеливания циклов [9, 10].

Следует заметить, что основной процедурой при программной реализации моделирования дискретных устройств является цикл обработки элементов схемы. Это справедливо и на вентиляльном, и на переключательном уровне как при событийном, так и при сквозном (сплошном) моделировании.

Таблица 1. Результаты тестирования эталонных схем на случайных тестах

Схема из эталона ISCAS-89	Число наборов в тесте	Число неисправностей (всего/обнаружено)				
		Константные «0»	Константные «1»	«Обрыв транзистора»	«Замыкание сток-исток»	«Обрыв линий»
S1494	50	1430/170	1430/313	2129/310	2129/344	2129/345
S1512	7	1607/101	1607/541	2823/626	2823/626	2823/626
S298	50	329/51	329/66	668/147	668/151	668/119
S4863	6	4717/625	4717/717	7056/1100	7056/1050	7056/1050

При использовании параллельной программной технологии OpenMP существующий программный код CBuilder был переделан в VC++, в результате чего появилась возможность использовать директивы OpenMP в Visual Studio 2008. Характеристики эффективности выполненной разработки для процессора Intel Pentium E6300 с частотой 1,86 ГГц на 50 входных наборах приведены в табл. 2 и 3.

Осцилляции при моделировании неисправностей. Известно, что при моделировании дискретных устройств возможна осцилляция значений сигналов на линиях устройства, т.е. схема не переходит в устойчивое состояние. При построении тестов такие неисправности считаются обнаруженными условно. Это является серьезной проблемой при моделировании СБИС. При построении тестов необходимо обеспечить отсутствие состояний как для исправного устройства, так и для его неисправных модификаций, определяемых рассматриваемым классом неисправностей [7, 11].

Таблица 2. Характеристики эффективности распараллеливания программного кода с использованием OpenMP для двух процессоров при моделировании исправных устройств

Схема	Число			Моделирование на 50-ти наборах, с		
	элементов/входов/ выходов	инверторов/триггеров	узлов/транзисторов	Последовательное	В среде pragma omp sections	В среде omp parallel for
S13207	8620/33/121	5378/669	25559/58309	8	7	7
S15850	10369/16/87	6324/597	27123/61188	9	7	7
S35932	17793/37/320	3861/1728	77485/177500	22	19	19
S38417	23815/30/106	13470/1636	66906/153443	20	15	15

Таблица 3. Время моделирования схем с неисправностями «обрыв затвора транзистора», ч

Схема списка Iscas-89	Число неисправностей	Последовательное на вычислителях с одним процессором			С директивой OpenMP на вычислителях с двумя процессорами в среде					
					pragma omp sections			omp parallel for		
		1	10	100	1	10	100	1	10	100
S38417	190212	528	53	5,3	396	40	4	396	40	4
S13207	71293	79	8	0,8	69	7	0,7	69	7	0,7
S15850	61185	76	7,6	0,8	60	6	0,6	60	6	0,6
S35932	177497	542	54,2	5,4	468	47	4,7	468	47	4,7

Известно также, что для различных итерационных алгоритмов теоретический максимум числа итераций для обнаружения осцилляций на вентильном или переключательном уровнях моделирования является линейной функцией числа базовых элементов [12, 13]. На практике ограничивают число итераций при моделировании на основе анализа структуры схемы, учета характеристик обратных связей и других особенностей. При достижении предельного числа итераций обычно обрывают процесс моделирования присвоением неопределенного значения X осциллирующим линиям моделируемой схемы. Эти действия могут приводить к ошибочным результатам при ошибочном определении предельного числа итераций.

При проектировании дискретного устройства необходимо учитывать условие поглощения $\sigma(S, X) = \sigma(\sigma(S, X), X)$, где X, S — переменные входа и состояния, σ — функция перехода [11]. Ясно, что при моделировании устройства с неисправностью (на любом уровне) это условие нарушается. Поэтому осцилляции обычно наблюдаются при моделировании дискретных устройств с неисправностями различного уровня.

Перспективы и проблемы дальнейших исследований. В работах [3, 4, 7] моделирование схем на переключательном уровне представлено как итерационный процесс вычислений для системы булевых соотношений между компонентами многозначного сигнала в узлах схемы, при котором отыскивается ее устойчивое состояние. Эта система булевых соотношений идеально подходит для распараллеливания вычислений, в частности именно для технологии OpenMP. Поэтому увеличение числа вычислителей в многоядерных процессорах положительно сказывается на скорости моделирования. При этом верхней границей является число узлов в транзисторной схеме.

Реализованный сквозной метод моделирования на переключательном уровне, основой которого является система булевых соотношений, перспективен при использовании на многоядерных процессорах. Он отличается от известных ранее тем, что в нем не используется представление состояния транзистора в виде графа и принцип событийности при вычислениях.

Моделирование на переключательном уровне является априори более трудоемким, чем моделирование на вентильном уровне. Ранее утверждалось, что «... моделирование на уровне переключений для всей СБИС является, по-видимому, нереальным» [2, с. 226]. В настоящее время темпы развития проектирования СБИС и компьютерной техники существенно увеличились, а задача моделирования на уровне переключений значительно усложнилась. На основном логико-вентильном уровне, принятом в Verilog с использованием атрибута Strength для описания полевых транзисторов, трудно строить контрольные тесты для различных классов мо-

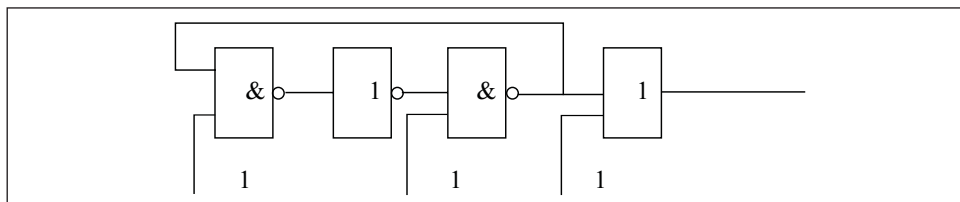


Рис 3. Пример осцилляций на внутренних линиях схемы

дельных неисправностей и практически невозможно строить диагностические тесты.

Современные интегральные технологии обеспечивают:

1) значительное увеличение числа базовых примитивов в СБИС и их типов (транзисторы с двумя и более затворами и др.);

2) появление новых физических дефектов, ассоциируемых с новыми (или ранее не привлекавшими внимания) модельными классами неисправностей; например, миниатюризация транзисторов делает актуальным дефект утечки тока.

Дефекты приводят к неустойчивым значениям напряжения на выходе устройства. При моделировании таких неисправностей возникают осцилляции, т.е. итеративный процесс моделирования схемы не может определить ее устойчивое состояние. При обнаружении неисправностей это явление может быть использовано. Однако весьма затруднительно в общем случае [12, 13] дать определенные ответы на вопросы, является ли причиной отклонения от нормы моделируемая неисправность, возможно ли определение отклонения за практически приемлемое граничное число итераций, можно ли считать обнаруженной неисправность при наличии отклонений значений сигналов на внутренних линиях схемы (рис. 3).

Выводы.

1. Впервые выполнено построение теста при помощи моделирования неисправностей с использованием параллельных технологий, в частности OpenMP, на переключательном уровне.

2. Численные характеристики результатов моделирования свидетельствуют о том, что параллельные технологии на современном этапе позволяют обеспечить моделирование на уровне переключений для всей СБИС и ее модификаций с неисправностями различных классов.

Таким образом, программная реализация моделирования схем с неисправностями с использованием OpenMP на основе алгоритмов моделирования исправных схем на переключательном уровне позволяет эффективно генерировать тесты для переключательного уровня. Разнообразие

характеристик различных типов современных транзисторных структур стимулирует развитие всех методов генерации тестов для них.

A method for pseudo-random test generation on switch level is described. Experimental results of investigation on Iscas-89 circuits are presented to demonstrate the effectiveness of the proposed method.

1. Вейцман И. Н., Кондратьева О. М. Тестирование КМОП-схем // Автоматика и телемеханика. — 1991. — № 2. — С. 3—34.
2. Киносита К., Асада К., Карацу О. Логическое проектирование СБИС.: Пер. с япон. — М.: Мир, 1988. — 309 с.
3. Андрюхин А. И. Параллельное моделирование неисправностей МОП-структур // Науч. тр. Донецкого государственного технического университета. Серия: Проблемы моделирования и автоматизации проектирования динамических систем. — 2001. — Вып. 29. — С. 205—211.
4. Андрюхин А. И. Параллельное многозначное логическое моделирование исправных и неисправных псевдобулевых схем. // Электрон. моделирование. — 1997. — 19, № 1. — С. 58—63.
5. Hayes J. P. Pseudo-Boolean Logic Circuits//IEEE Trans. on Computers. — 1986. — C-35, № 7. — P. 602—612.
6. Yang A. T., Chang Y.-H., Saab D. G., Hajj I. N. Switch-level timing simulation of bipolar ECL circuits // Там же. — 1993. — 12, № 4. — P. 516—530.
7. Андрюхин А. И. Генерация тестов для МОП-структур на переключательном уровне // Научные труды Донецкого национального технического университета. Серия: Информатика, кибернетика и вычислительная техника (ИКВТ-2008). — 2008. — Вып. 9 (132). — С.195—202.
8. Андрюхин А. И. Статистические оценки решений задач оптимизации в распределенных системах. I. // Там же. — 2009. — Вып. 10 (153). — С. 285—290.
9. OpenMP Architecture Review Board — <http://www.openmp.org/>.
10. Антонов А. С. Параллельное программирование с использованием технологии OpenMP: Учеб. пособие. — М.: Изд-во МГУ, 2009. — 77 с.
11. Андрюхин А. И. Статистические характеристики осцилляций при логическом моделировании неисправных цифровых схем // Науч. тр. Донецкого государственного технического университета. Серия: Информатика, кибернетика и вычислительная техника. — 2009. — Вып. 10 (153). — С. 291—295.
12. Лазер И. М., Шубарев В. А. Устойчивость цифровых микроэлектронных устройств. — М.: Радио и связь, 1983. — 216 с.
13. Wiklund K., Magnusson T., Dahlgren P. Switch-Level Test Generation of Competing Bridging Faults in the Presence of Feedback// Technical Report 00-02. — Chalmers University of Technology. — Gothenburg, 2002. — 10 p.

Поступила 19.10.10;
после доработки 29.11.10

АНДРЮХИН Александр Иванович, канд. техн. наук, ст. науч. сотр., доцент кафедры прикладной математики и информатики Донецкого национального технического университета. В 1973 г. окончил Донецкий госуниверситет. Область научных исследований — моделирование и диагностирование цифровых систем, проблемы искусственного интеллекта и программирования.