

К. т. н. В. П. РЕВА, д. ф.-м. н. Ф. Ф. СИЗОВ

Украина, г. Киев, Институт микроприборов, Институт физики полупроводников им. В. Е. Лашкарёва
E-mail: sizov@isp.kiev.ua

Дата поступления в редакцию
29.10 2004 г.

Оппонент к. т. н. В. В. РЮХТИН
(ЦКБ "Ритм", г. Черновцы)

ПРОЕКТИРОВАНИЕ СХЕМЫ СЧИТЫВАНИЯ ДЛЯ МАТРИЦ ИК-ФОТОДИОДОВ СРЕДНЕГО ДИАПАЗОНА ДЛИН ВОЛН

Обсуждены характеристики схемы считывания для ИК фотодиодных матриц формата 128×128. Схема спроектирована по КМОП-технологии с двойным уровнем металлизации.

ИК микрофотоэлектронные технологии в значительной степени определяют научно-технологический потенциал развитых стран. Широкое применение такого рода технологий как в военной технике, так и в глобальном мониторинге окружающей среды и изменений климатических условий, в долгосрочных прогнозах урожайности сельскохозяйственных культур, в мониторинге химических процессов, ИК-астрономии, ночном вождении автомобилей, медицинской диагностике, является основой их интенсивного развития (см., напр., [1, 2]).

В ИК микрофотоэлектронных технологиях к настоящему времени получили развитие два типа технологий фотоприемных устройств (ФПУ) — гибридная и монолитная. Преобладание гибридной технологии связано с тем, что она позволяет отдельно оптимизировать параметры приемников излучения в линейке или матрице и параметры устройств считывания — как правило, кремниевых больших интегральных схем (БИС), соединенных с линейкой или матрицей фотодетекторов (например по технологии Имикростолбиков) и расположенных в фокальной плоскости. В монолитной технологии формирование фоточувствительных площадок и схемы считывания осуществляется на одном кристалле.

Особое место среди ФПУ принадлежит «смотрящим» («staring») системам, построенным на основе матричных ИК-фотоприемников. Особенности проектирования этих фотоприемников и некоторые характеристики спроектированной БИС считывания для матриц фотодиодов среднего формата (128×128 фоточувствительных пикселей) рассмотрены ниже.

Проектирование. Структура схемы считывания

В последнее время устоялось разделение структур схем считывания, предложенное специалистами фирмы Sofradir, на пять категорий [3, 4]. Данное разделение весьма условно, однако позволяет сгруппировать основные характеристики схем считывания и

Авторы выражают признательность В. Швидуну и Ю. Юрене за предоставленные результаты моделирования цифрового интерфейса и аналоговых блоков.

учесть в дальнейших разработках достоинства и недостатки применяемых архитектур схем считывания для матричных фотоприемников.

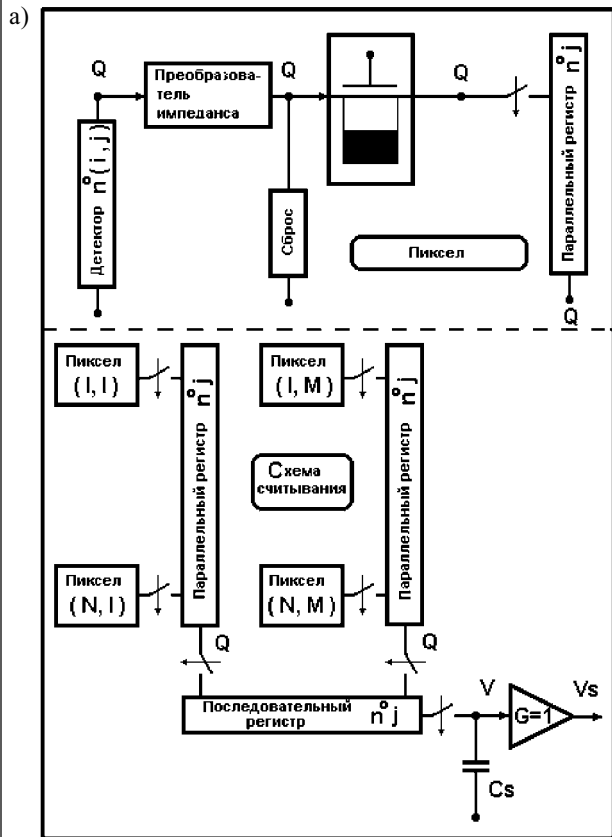
Применяемая первоначально (и используемая сейчас в некоторых ФПУ) ПЗС-архитектура (ПЗС — приборы с зарядовой связью) (рис. 1, а) позволяет одновременно считывать информацию со всех фоточувствительных элементов и затем последовательно выводить ее на видеовыход (т. е. по сути осуществлять режим мгновенного снимка — snap-shot). Однако данная архитектура не позволяет полностью использовать площадь пиксела для накопления заряда: около 2/3 площади под фоточувствительным пикселом занимает ПЗС-элемент, осуществляющий хранение и передачу информационного заряда столбца. Кроме того, эта архитектура не позволяет осуществлять произвольную выборку элементов, что для матричных архитектур бывает важно, т. к. очень часто необходимо изменить формат изображения или деселектировать дефектные элементы или элементы с низкими параметрами.

Архитектура коммутируемых пиксельных повторителей (рис. 1, б) позволяет не использовать столбцовые усилители и осуществлять коммутацию прямо на выходной видеоусилитель. Но эта архитектура также требует значительной части площади пиксела для размещения электрической схемы повторителя.

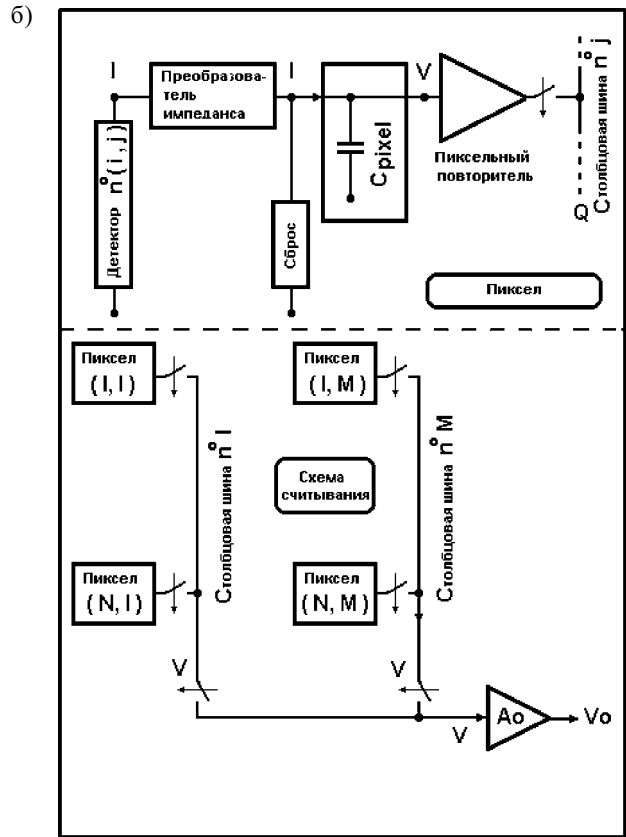
Архитектура с делением на столбцовой шине (рис. 1, в) позволяет использовать максимум площади под накопительную емкость, но требует высокочувствительного столбцового усилителя, т. к. за счет деления на его входе сигнал будет ослаблен.

Архитектура с выходным пиксельным интегрированием (рис. 1, г) позволяет использовать минимальные размеры пиксела, но применима только для систем с малыми временами интегрирования (для 100 Гц кадровой развертки в матрице 128×128 элементов время интегрирования не может превышать $t_{\text{инт}} \approx 40$ мкс при учете, что половина времени используется на выходное мультиплицирование).

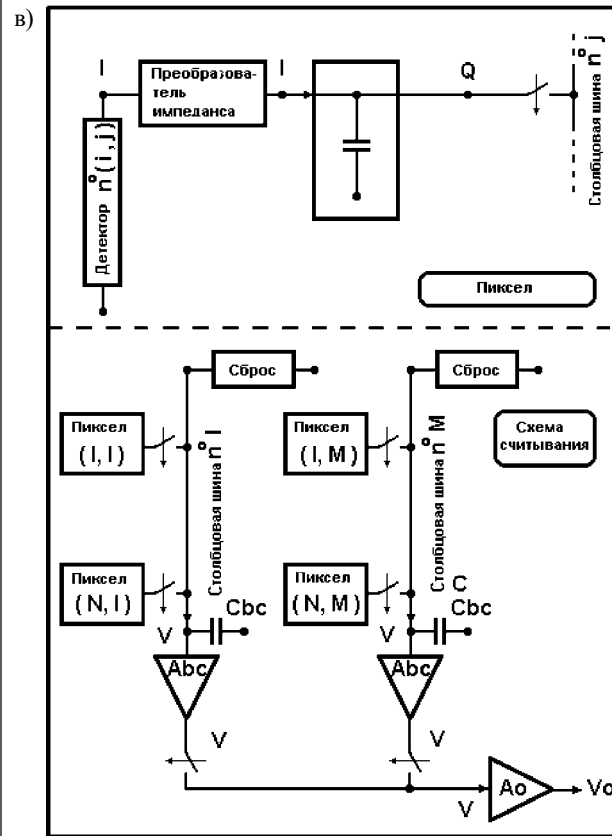
Архитектура с усилением мгновенно захваченного заряда (snap-shot) (рис. 2) (архитектура мгновенной фотографии) позволяет, как и архитектура ПЗС, осуществлять вывод видеoinформации, полученной в один и тот же момент времени, но ограничивает типы применяемых входных преобразователей импеданса прямой и буферизированной прямой инжекцией. Кроме того, данная архитектура требует части площади под емкость хранения захваченной информации. На рис. 2



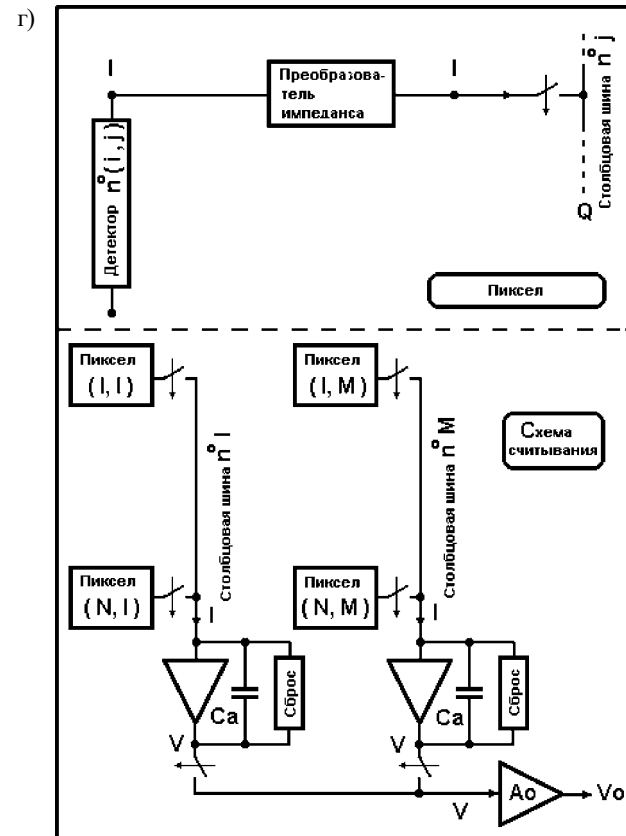
ПЗС-архитектура



Архитектура коммутируемых повторителей



Архитектура с делением на столбцовой шине



Архитектура с выходным пиксельным интегрированием

Рис. 1

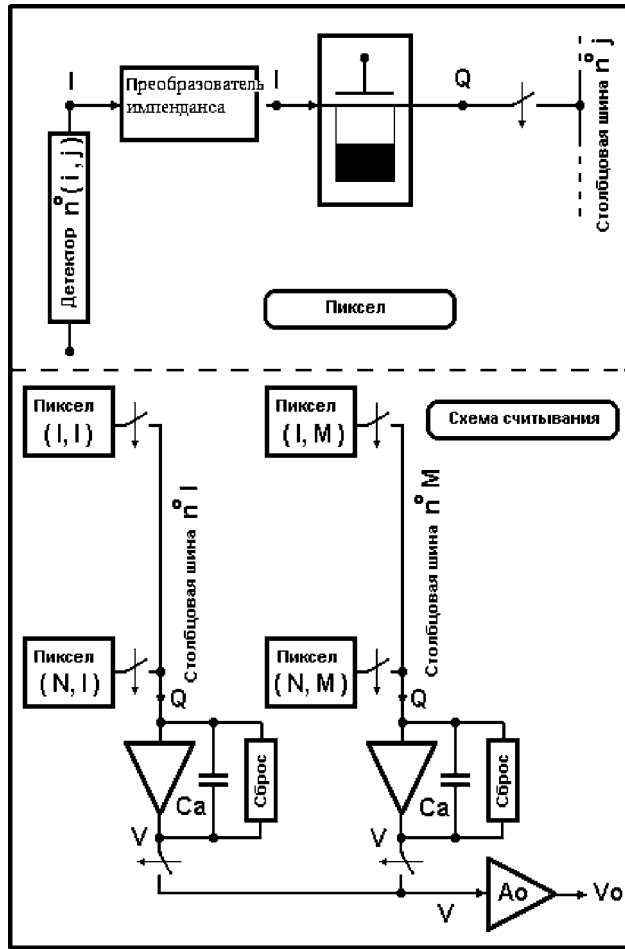


Рис. 2. Архитектура с усилением мгновенно захваченного заряда (SPA)

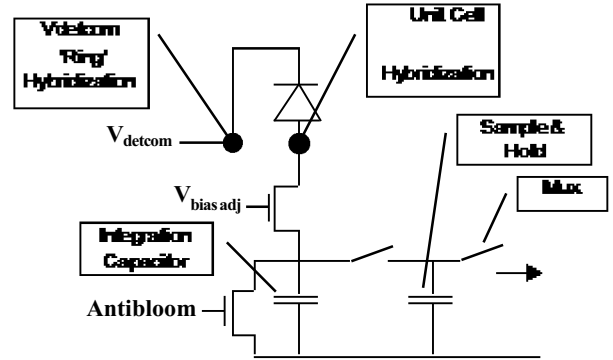


Рис. 3. Структура входного элемента для матрицы ISC9705 она не показана; более точно эта входная ячейка в данной архитектуре представлена на рис. 3, где показана структура входного элемента для матрицы ISC9705 формата 320×256 фирмы Indigo [5].

Необходимо отметить еще раз условность такого деления приведенных выше архитектур схем считывания для ИК-матриц фотодиодов. Возможны и другие решения. Так, на наш взгляд, оптимальной для схемы считывания среднего формата, например 128×128, может быть предлагаемая структура, представленная схемой рис. 4. Эта схема для гибридных ФПУ, функционирующих при криогенных температурах T , рассчитана на использование фотодиодов ИК-средневолнового ($\lambda \approx 3 \dots 5$ мкм) диапазона спектра, имеющих относительно высокий импеданс (динамическое сопротивление в отсутствие смещения $R_0 \geq 10^8$ Ом при $T \leq 100$ К). С учетом использования во входной ячейке усилителя-преобразователя с емкостной обратной связью эта архитектура — компромисс между архитектурой с коммутируемыми повторителями и архитектурой с делением на столбцовую шину.

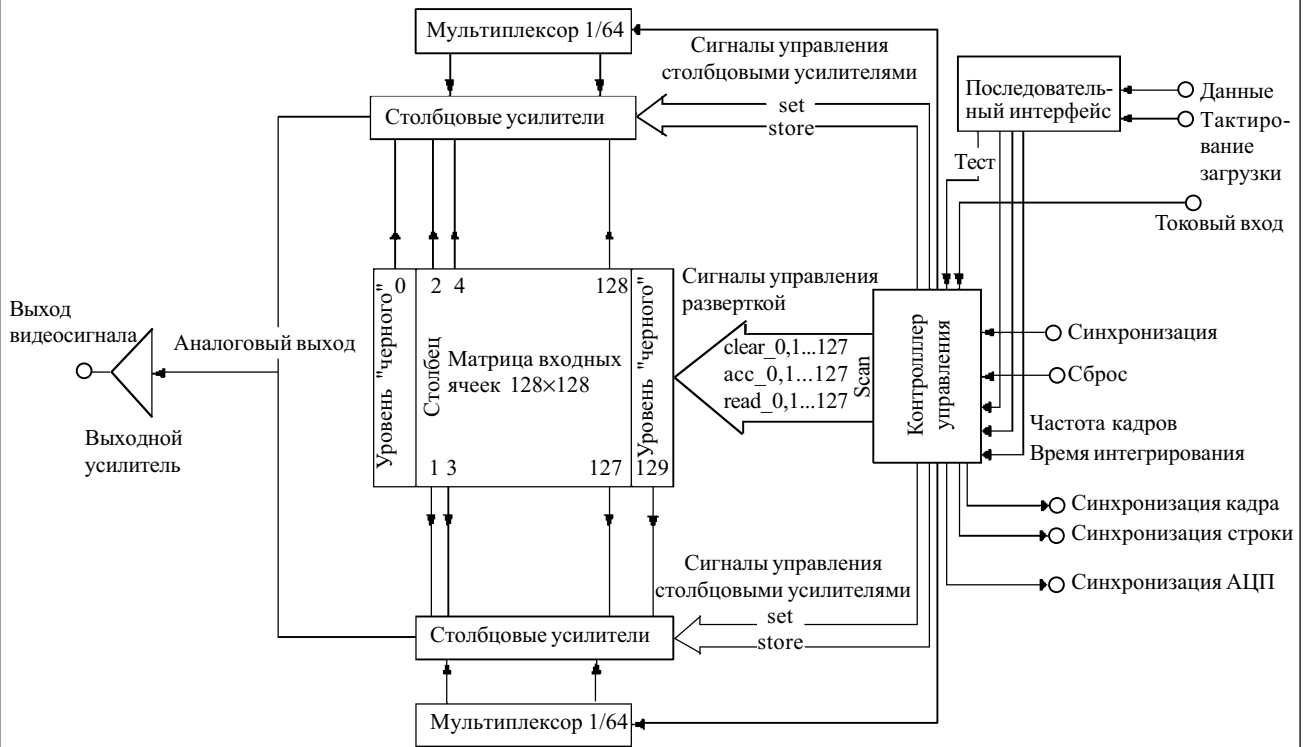
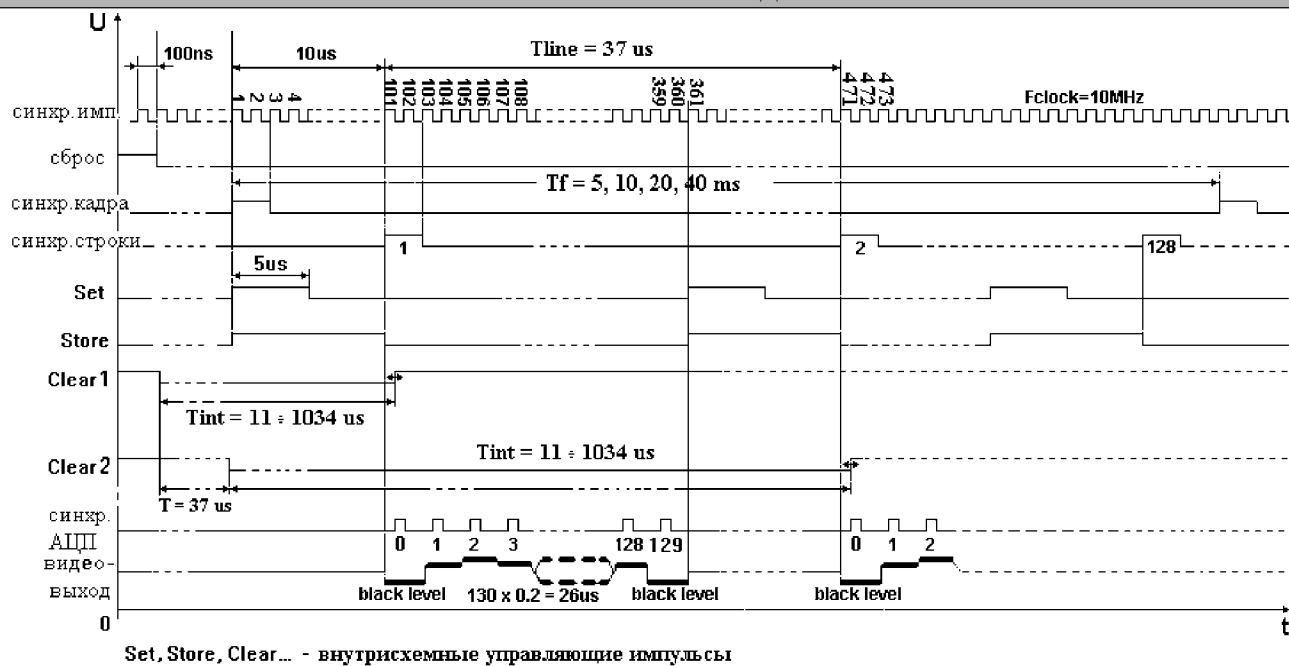


Рис. 4. Блок-схема схемы считывания с матрицы ИК-фотодиодов формата 128×128



Set, Store, Clear... - внутрисхемные управляющие импульсы

Рис. 5. Временная диаграмма работы схемы считывания

Использование последовательного интерфейса для загрузки параметров рабочего или тестового режима позволяет уменьшить количество выводов из холодной зоны криостата. Параметры режимов функционирования: частота кадров 200, 100, 50 или 25 Гц; накопительные емкости при проектных нормах 1,2 мкм позволяют реализовать времена интегрирования от 11 до 1035 мкс; тип режима — рабочий/тестовый. Наличие введенного в БИС аналогового входа позволяет протестировать схему считывания в тестовом режиме (без подключения матрицы фотодиодов). В рабочем режиме неподключенные к фотодиодам входные ячейки задают уровень «черного». Работа схемы считывания понятна из временной диаграммы рабочего режима, представленной на **рис. 5**.

Шаг в матрице фотодиодов (в сторону уменьшения расстояния между фоточувствительными пикселями) практически ограничивается дифракционным пределом (см., напр., [6, p. 28]):

$$d \approx 2,44\lambda F,$$

где $F \approx f/D$ — диафрагменное число;
 f — фокусное расстояние;
 D — относительное отверстие объектива.

Для спектрального диапазона $\lambda \approx 3...5$ мкм, с учетом современных возможностей изготовления ИК-объективов с $F \approx 1$, минимальный размер чувствительного элемента d не должен быть меньшим кружка Эйри, в котором сосредоточено около 84% интенсивности падающего на чувствительный элемент излучения. Для $\lambda \approx 5$ мкм размер фоточувствительного элемента $d \approx 12$ мкм. Этот размер фактически и определяет возможности реализации функциональных характеристик схемы считывания, т. к. под каждым фоточувствительным элементом матрицы фотодиодов необходимо разместить ячейку схемы считывания, включающую в себя, в зависимости от конструкции входного устройства, от 3 — 4 до 10 — 12 транзисторов.

Правила проектирования БИС, к которым относятся современные схемы считывания для ИК-фотодиодов, рекомендуют, чтобы минимальная площадь, занимаемая одним транзистором (с учетом потерь площади на межсоединения), составляла не менее $20R$, где R — минимально допустимый размер (проектная норма). Тогда, без учета необходимых потерь площади на накопительный конденсатор, следует, что проектные нормы применяемых технологий для матрицы фотодиодов 128×128 должны находиться в пределах $2,5—0,25$ мкм. Анализ возможностей реализации схемотехнических решений получения относительно высокой частоты полного кадра (до 200 Гц) и времен накопления $\tau = 10^4$ мкс показал целесообразность применения в данном случае «умеренных» проектных норм — 1,2 мкм.

Выбор конструкции входного устройства

Конструкция входного устройства выбиралась с учетом характеристик ИК-фотодиодов. Для фотодиодов на основе InSb или HgCdTe (спектральный диапазон $\lambda \approx 3...5$ мкм) типичные значения произведения сопротивления фотодиодов в отсутствие смещения (R_0) на их площадь составляют величину $R_0 A \geq 10^3$ Ом, где A — площадь фоточувствительной площадки. Поэтому при размерах фотодиодов (12×12) — (40×40) мкм их динамическое сопротивление (R_0) в отсутствие смещения будет не менее 10^8 Ом. При необходимом для функционирования ФПУ обратном смещении R_0 увеличивается.

При таких сопротивлениях наиболее часто используемыми входными устройствами являются устройства с буферизированной прямой инжекцией и усилителем с емкостной обратной связью (СТИА) [7, 8]. Использование усилителя с емкостной обратной связью позволяет произвести преобразование "заряд — напряжение" прямо во входной ячейке. Это снижает требования к дальнейшим каскадам усиления и по-

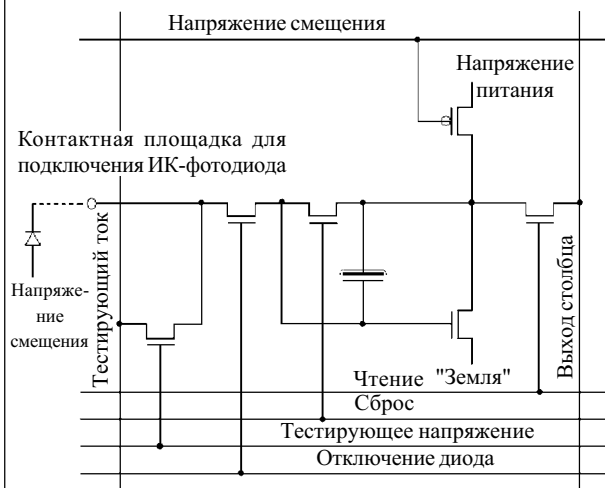


Рис. 6. Усилитель с емкостной обратной связью позволяет повысить быстродействие считывания и минимизировать площадь, занимаемую столбцовыми и выходными усилителями.

На рис. 6 приведена использованная схема входного каскада СТИА, которая включает все необходимые элементы для организации съема информации с ИК-фотодиодов. При использовании 1,2 мкм комплементарной "металл—окисел—полупроводник" (КМОП) технологии с двумя уровнями металлизации расчетный собственный шум такой ячейки составляет не более 200 мкВ, динамический диапазон — не менее 80 дБ. Использование накопительного конденсатора емкостью $C \approx 1,8$ пФ позволяет в зависимости от угла зрения ФПУ и фоновой нагрузки применять времена интегрирования от единиц мкс до 1 мс при кадровой развертке до 100 Гц.

Аналоговые блоки

К аналоговым блокам относятся столбцовые усилители и выходной усилитель. Использование в качестве входного устройства усилителя с емкостной обратной связью упрощает требования, выдвигаемые к столбцовым усилителям. При использовании комплементарной "металл—диэлектрик—полупроводник" (КМДП) технологии с проектными нормами 1,2 мкм реализация такого блока на основе операционного усилителя не вызывает неразрешимых схемотехнических проблем. Однако необходимо учитывать, что геометрические ограничения (ограничения размером пиксела по одной координате) не позволяют применить все возможные схемотехнические решения для столбцового усилителя. Расчеты такого усилителя, проведенные по спроектированной топологии, дают при быстродействии более 10^8 В/с значения шума не более 200 мкВ и линейность не хуже 0,05%. Выходной усилитель может обеспечивать нагрузочную способность по выходу не менее 30 пФ и 100 кОм.

Цифровые блоки

Блок цифрового управления должен обеспечить прием внешних команд по последовательной шине, их обработку, генерацию всех необходимых сигналов — как для внутренних потребностей схемы, так и для синхронизации внешних устройств. Обширное описание реализации цифровых функций не входит в задачу дан-

ной статьи. Необходимо только отметить, что даже при оптимальном конструировании цифровая часть схемы считывания для матрицы фотодиодов 128×128 содержит более 120 тысяч транзисторов.

Современный уровень технологий (проектные нормы $\leq 0,25$ мкм) позволяет использовать внутренние аналого-цифровые преобразователи и выводить сигнал в двоичном коде (см., напр., [9, 10]). Целесообразность этого подхода неоднозначна. АЦП на кристалле с параллельным выходом приведет к увеличению теплопритоков по необходимым дополнительным электрическим шинам. При применении хотя бы 10-разрядного АЦП это приводит к необходимости использования 9 дополнительных вводов в холодную зону криостата и соответственно к увеличению теплопритоков. При применении АЦП с последовательным выходом это приводит к увеличению частоты вывода информации в число раз, равное разрядности АЦП. В любом случае это приводит к дополнительным нагрузкам на микрохолодильные машины, как правило, используемые в таких ФПУ.

Выводы

Спроектированная схема считывания информации среднего формата для матриц фотодиодов 128×128 среднего ИК-диапазона длин волн ($\lambda \approx 3 \dots 5$ мкм), функционирующая при криогенных температурах, позволяет реализовать фотоприемные устройства с размерами фоточувствительных пикселей, ограниченными дифракционным пределом при современных «умеренных» проектных нормах 1,2 мкм. Выбранная архитектура и накопительные емкости дают возможность выбора различных времен накопления вплоть до 10^4 мкс с реализацией частоты полного кадра до 200 Гц. Применение последовательного интерфейса позволяет минимизировать количество выводов в холодную зону криостата и уменьшить теплопритоки.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

- Hirota M., Nakajima Y., Saito M. et al. Thermoelectric infrared imaging sensors for automotive applications // Proc. SPIE.— 2004.— Vol. 5359.— P. 111—125.
- Hecht J. Surveillance satellites adapt to a changing world // Laser Focus World.— 2004.— N 3.— P. 99—104.
- Mottin E., Pantigny P., Boch R. An improved architecture of IRFPA readout circuits // Proc. SPIE.— 1996.— Vol. 3061.— P. 117—126.
- Рева В. П., Сизов Ф. Ф. Проблемы проектирования и изготовления схем считывания для многоэлементных ИК фотодиодов // Прикладная физика.— 2002.— № 1.— С. 82—100.
- Aziz N. Y., Kincaid G. T., Heath J. L. et al. Standardized high performance 320 by 256 readout integrated circuit for infrared applications // Proc. SPIE.— 1999.— Vol. 3698.— P. 766—777.
- Dereniak E. L., Boreman G. D. Infrared detectors and systems.— New York: Wiley-Interscience, 1996.
- Kozlowski L. J., Kosonocky W. F. Infrared detector arrays.— In: Handbook of Optics / Ed. Boss M., Van Stryland W., Williams D. R., Wolfe W. L.— New York: McGraw-Hill, 1995.
- Fossum E., Pain B. Infrared readout electronics for space science sensors: state of the art and future directions // Proc. SPIE.— 1994.— Vol. 2020.— P. 262—285.
- Nesher O., Elkind S., Adin A. et al. Digital cooled InSb detector for IR detection // Ibid.— 2003.— Vol. 5074.— P. 120—129.
- Breiter R., Cabanski W. A., Koch R. et al. AIM image processing electronics for FPA IR detection modules // Ibid.— 2003.— Vol. 5074.— P. 130—137.