

К. т. н. Г. В. КУЦЕНКО

Украина, г. Киев, НТК "Импульс"
E-mail: ntkimpuls@ukr.net

Дата поступления в редакцию
17.06 2004 г.

Оппонент Ю. В. ПРОКОФЬЕВ
(Институт микроприборов, г. Киев)

СХЕМНОЕ РЕШЕНИЕ ПОСТРОЕНИЯ КАСКАДНОГО РЕГИСТРА СДВИГА

Предлагается изготавливать в виде микросхемы устройства, сочетающие в себе регистр приема последовательного кода и счетчик времени.

Снижение потребляемой мощности вычислительных устройств связано с решением таких задач как снижение массы источников питания, повышение надежности за счет снижения нагрева отдельными логическими схемами. Уменьшение потребляемой мощности позволяет повысить плотность логических схем. То есть потребляемая мощность является одним из важнейших параметров интегральных логических схем, а ее снижение представляет серьезную научно-техническую проблему.

Последним достижением в области создания маломощных логических элементов явилось создание интегральных схем на одном кристалле с использованием биполярных и МОП (металл — окисел — полупроводник) транзисторов. Это направление получило название БиМОП- или БиКМОП-технологии, которое позволило получить логические элементы, потребляющие ток только в процессе переключения и имеющие большую нагрузочную способность.

Так как устройства, построенные с использованием таких логических схем, потребляют мощность только в процессе переключения, то естественным является такая организация их работы, при которой переключения элементов сводились бы к минимуму при сохранении других их характеристик. Внедрение указанных выше технологий позволило примерно вдвое уменьшить емкостную нагрузку, при этом динамическая мощность [1] также уменьшилась вдвое [2]:

$$P_{\text{дин}} \cong Kft_{\phi}, \quad (1)$$

где K — обобщенный коэффициент;
 f — частота работы;
 t_{ϕ} — время переходных процессов.

Эффект уменьшения потребляемой мощности можно получить и схемными решениями, например, для регистров сдвига — путем использования алгоритма сдвига [3].

Известно, что регистры в микроэлектронике строятся с использованием потенциальной системы элементов, при которой на один разряд регистра используют два триггера, основной и вспомогательный, а сдвиг осуществляется «косыми» пересылками меж-

ду этими триггерами. Применение алгоритма [3] позволяет получить устройство, которое может быть использовано в контроллерах синхронного последовательного приема кодов, преобразователях последовательного кода в параллельный и наоборот. Оно может быть использовано как отдельная микросхема. Однако существующее схемное решение не позволяет получить различную разрядность микросхем путем их объединения.

Предлагается такое схемное решение, которое позволит для увеличения разрядности производить каскадное соединение устройств.

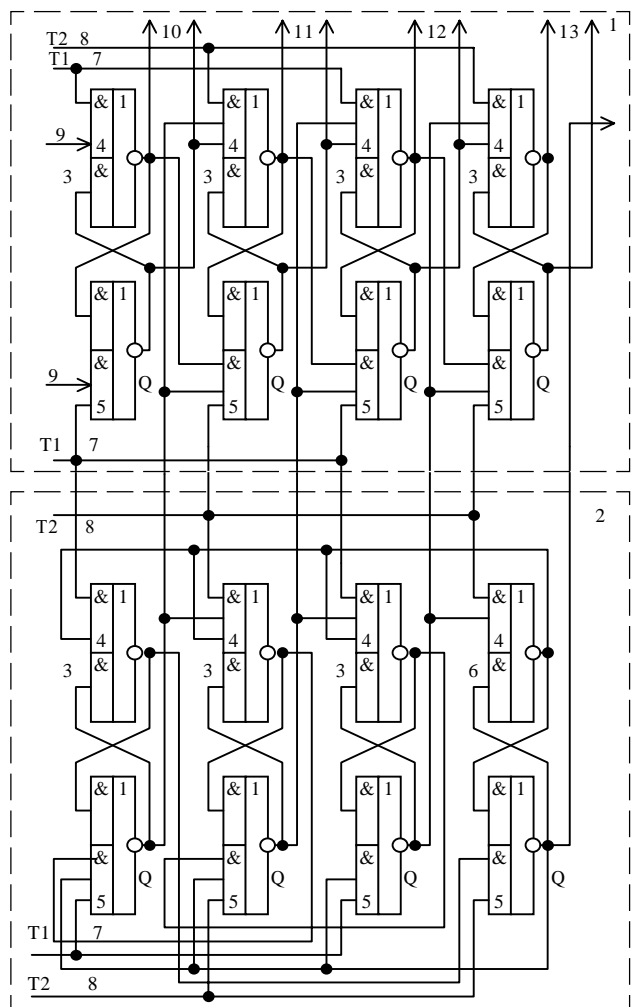


Рис. 1. Последовательно-параллельный регистр

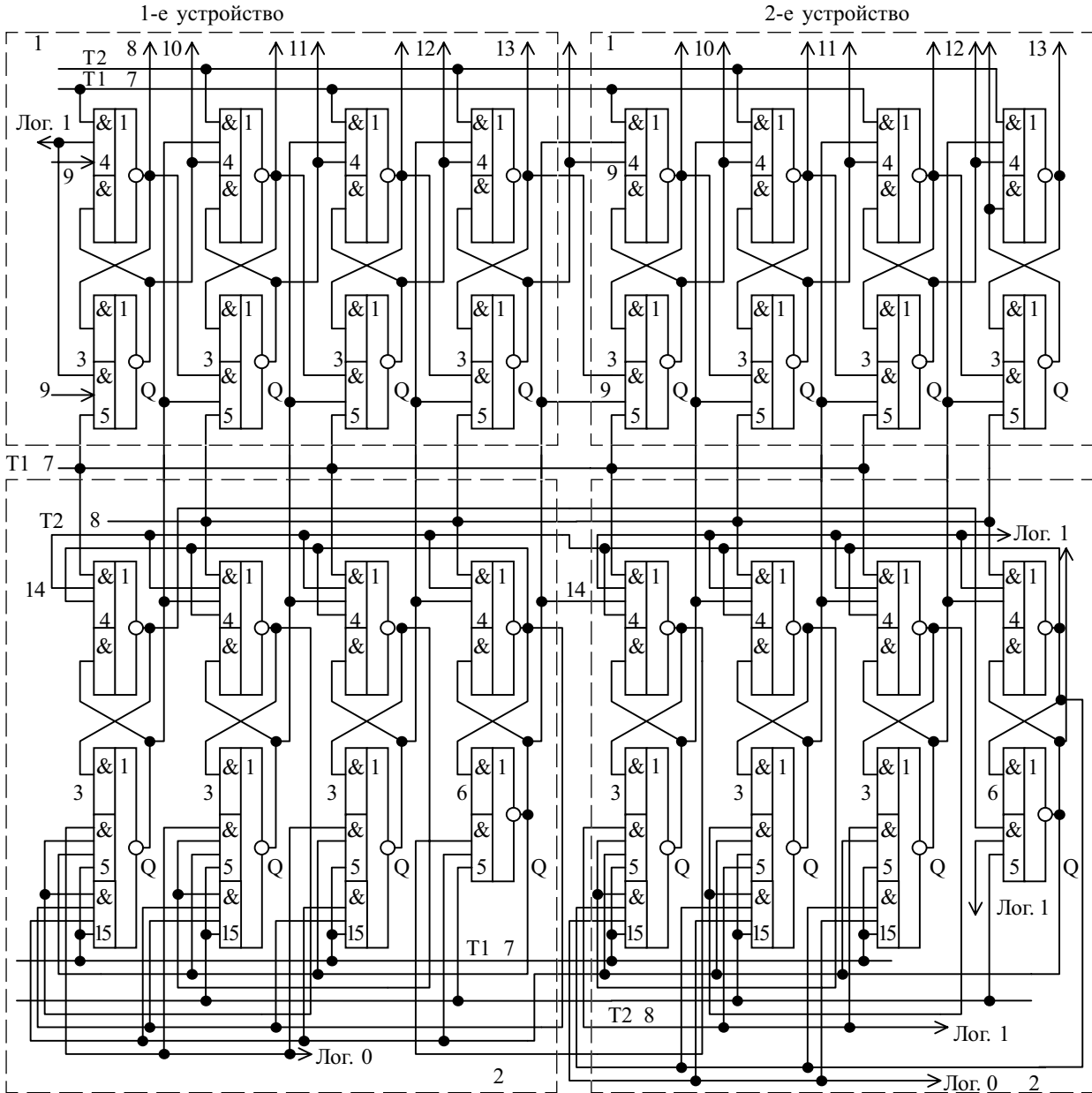


Рис. 2. Каскадное соединение регистров

Предложенное устройство содержит два последовательно-параллельных сдвигающих регистра (рис. 1), соединенных в каскад (рис. 2). Каждый последовательно-параллельный регистр содержит информационный регистр 1 приема входной информации, регистр управления 2 (регистры собраны на триггерах 3 с вентилями записи 4 единицы и вентилем записи нуля 5), триггер управления 6, шины тактовых импульсов T1, T2 7 и 8, входные шины парафазного кода 9, выход-

ные шины парафазного кода 10, 11, 12, 13, дополнительные входы 14 вентилей записи единицы 4 триггеров 3 регистра управления и дополнительного вентиля 15 записи нулей тех же триггеров.

На рис. 3 приведены этапы 1—7 приема входного четырехразрядного кода 1, 2, 3, 4 (разряды) информационным регистром 1.

На рис. 4 приведены временные диаграммы работы одного устройства при непрерывном поступлении информации:

- а — входной последовательный код;
- б — код, принятый первым информационным триггером;
- в — выходной сигнал первого триггера регистра управления;
- г — код, принятый вторым информационным триггером;
- д — выходные сигналы второго триггера регистра управления;
- к — код, принятый третьим информационным триггером;
- а1 — выходные сигналы третьего триггера регистра управления;
- б1 — код, принятый четвертым информационным триггером;
- в1 — выходные сигналы триггера управления.

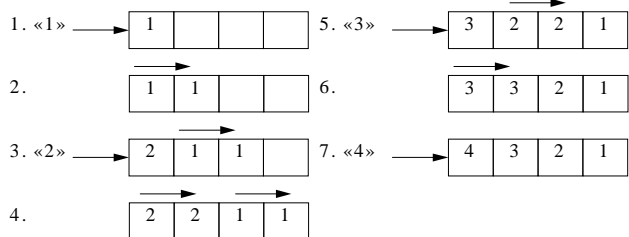


Рис. 3. Алгоритм сдвига

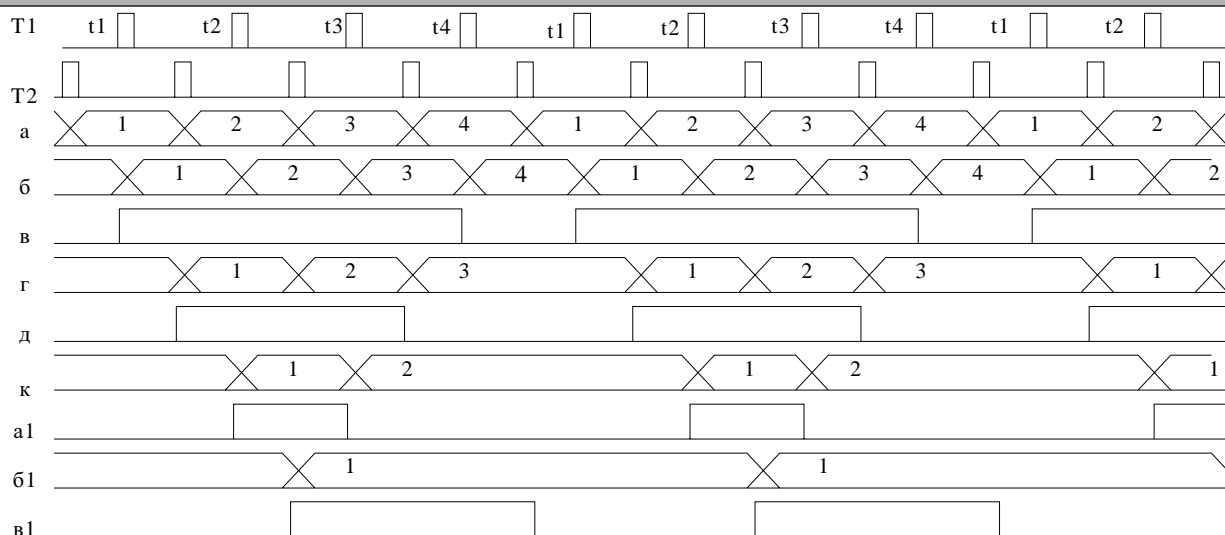


Рис. 4. Временные диаграммы работы последовательно-параллельного регистра

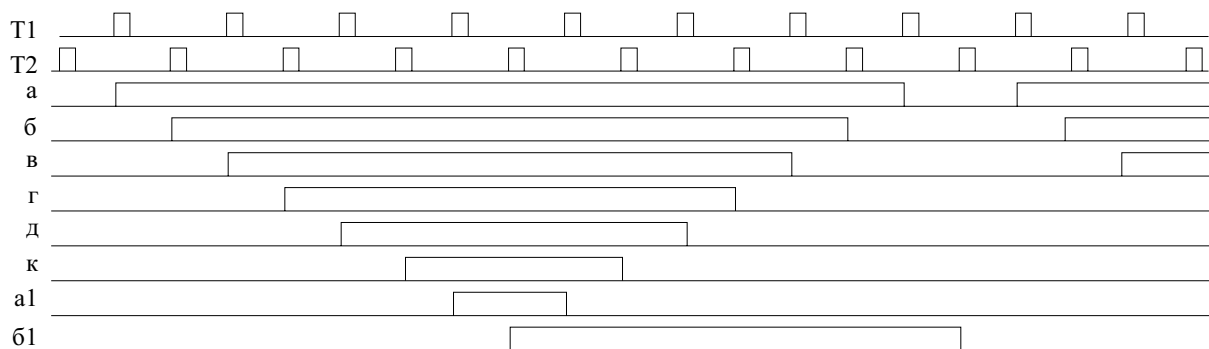


Рис. 5. Временные диаграммы работы регистра управления

На рис. 5 приведены временные диаграммы совместной работы двух регистров управления предложенного устройства:

- а — выходной сигнал первого триггера регистра управления первого устройства;
- б — выходной сигнал второго триггера регистра управления первого устройства;
- в — выходной сигнал третьего триггера регистра управления первого устройства;
- г — выходной сигнал триггера управления регистра управления первого устройства;
- д — выходной сигнал первого триггера регистра управления второго устройства;
- к — выходной сигнал второго триггера регистра управления второго устройства;
- а1 — выходной сигнал третьего триггера регистра управления второго устройства;
- б1 — выходной сигнал триггера управления регистра управления второго устройства.

Устройство работает по приведенному на рис. 3 алгоритму. Входной сигнал парафазным кодом по шинам 9 (рис. 2) принимается первым разрядом триггера 3 информационного регистра 1 вентилей 4 и 5 в такты T1, момент времени t1 (рис. 4). В такт T2, шина 8, информация из первого триггера переписывается во второй триггер; в следующий такт T1, шина 7, информация принимается первым триггером, а из второго триггера переписывается в третий, момент времени t2. Следующим тактом T2 информация из первого триггера переписывается во второй, а из третьего — в четвертый триггер, далее первый триггер принимает вновь

поступившую информацию, информация из второго триггера переписывается в третий; принятая информация четвертым триггером не изменяется.

В последний момент t4 входная информация принимается только первым триггером, принятая информация вторым, третьим и четвертым триггерами не изменяется. Разрешение и запрет на подачу таких управляющих сигналов осуществляется единичными Q выходами триггеров 3 регистра управления 2, как показано на рис. 4, диаграммы в, д, а1.

Режим работы этих триггеров определяется триггером управления б (диаграмма в1, рис. 4), а его циклический режим определен введением связи из нулевого выхода первого триггера на вход вентили записи нуля в триггер управления б. Принятый последовательный код снимается с выходных шин 10, 11, 12, 13 парафазным кодом.

При каскадном объединении двух устройств информационные выходы 13 последнего разряда информационного регистра соответственно соединены с парафазными входами 9 первого триггера информационного регистра второго устройства. Разрешение на прием этой информации осуществляет единичный выход триггера управления регистра управления первого устройства, который соединен с единичным входом первого триггера регистра управления второго устройства. При таком соединении два устройства работают как одно по приведенному ранее алгоритму, но с удвоенной разрядностью. Триггер управ-

ления регистра управления первого устройства работает в таком же режиме, как обычный триггер регистра управления (рис. 5, диаграмма г), а триггер управления второго устройства работает как триггер управления двух устройств, как показано на рис. 5, диаграмма б1. Такой режим триггеров управления определяется введением в вентили записи единицы 4 дополнительного входа 14 и дополнительного вентиля записи нуля 15 триггеров регистра управления.

Триггеры регистра управления первого устройства устанавливаются в единичное состояние при дополнительном условии нулевого состояния триггера управления б второго устройства, это условие отсутствует для триггеров второго устройства, где эти входы объединены в шину 14 и соединены с выходом сигнала логической единицы. Для первого устройства условием переключения триггеров регистра управления является наличие нулевого состояния своего триггера управления и единичного состояния триггера управления второго устройства на входах вентилей 15, при этом вентили 5 исключаются из работы путем подачи сигнала логического нуля на их входы.

Переключение триггеров регистра управления второго устройства осуществляется как в обычном режиме, с помощью вентилей 5, подачей на них сигнала логической единицы; вентили 15 исключаются из работы подачей на входы сигналов логического нуля.

Быстродействие устройства при каскадном соединении не изменяется.

Дальнейшее увеличение разрядности связано с увеличением количества логических входов вентилей 3, 4, 15. Из временных диаграмм рис. 4 видно, что при приеме входного кода первый разряд информационного регистра переключается непрерывно с каждым входным разрядом (считаем, что следует чередующаяся последовательность нулей и единиц), второй разряд переключается три раза (такты T2), третий — два (такт T1), а четвертый — один раз (такт T2).

В сравнении с работой классического двухтактного регистра общее количество переключений триггеров в приведенном устройстве гораздо меньше, меньше также и количество переключений триггеров в каждый момент времени. Если считать, что элементы увеличивают потребляемую мощность в момент переключения, то для приведенного устройства уменьшается потребляемая мощность и увеличивается помехоустойчивость [4, с. 268].

При непрерывном сдвиге (например в контроллерах последовательного синхронного приема [5, с. 178]) n -разрядного числа с учетом вывода предыдущей информации каждый разряд классического регистра, как основного, так и вспомогательного, переключается n раз. Общее число переключений при классическом сдвиге

$$S_k = 2n^2. \quad (2)$$

Общее число переключений при сдвиге с использованием приведенного алгоритма определяется как сумма членов арифметической прогрессии и равно

$$S_A = \frac{(n+1)n}{2}. \quad (3)$$

Динамическая мощность устройства с использованием классического сдвига

$$P_k \approx K2n^2f_k. \quad (4)$$

Динамическая мощность устройства с использованием приведенного алгоритма

$$P_A \approx K \frac{(n+1)n}{2} f_A. \quad (5)$$

Определим зависимость между частотами сдвига при условии выделения одинаковой динамической мощности.

$$K2n^2f_k = \frac{K(n+1)n}{2} f_A; \quad f_A = f_k \frac{4}{1 + \frac{1}{n}}. \quad (6)$$

Отсюда следует, что при указанных выше условиях частоту сдвига с использованием приведенного алгоритма при большой разрядности регистра можно увеличить в 4 раза. График зависимости коэффициента увеличения частоты от разрядности регистра приведен на рис. 6.

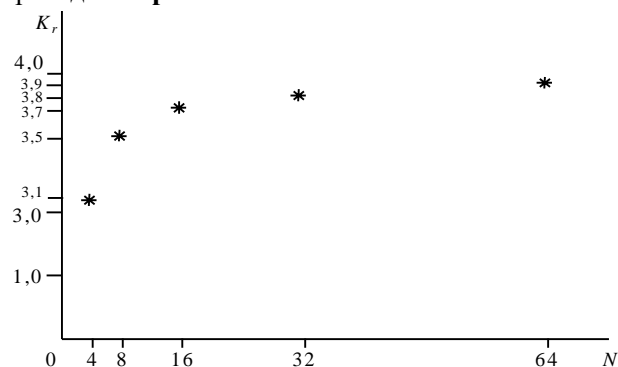


Рис. 6. Зависимость коэффициента K_r увеличения частоты от разрядности N регистра

В предложенном устройстве отсутствует счетчик тактов, необходимый для реализации, например, контроллеров [5]; его роль выполняет регистр управления, и следовательно, экономятся элементы.

Если, например, с учетом приведенного схемного решения изготовить две микросхемы с разрядностью регистров 4 и 16, а каскадным соединением получить микросхемы с разрядностью 8, 20, 32, то получаем разрядный ряд: 4, 8, 16, 20, 32.

Выводы

Приведенная схема соединения регистров позволяет изменять разрядность устройства путем каскадного соединения с сохранением их характеристик.

Устройства, работающие с приведенным алгоритмом, обладают, в сравнении с классическим регистром, следующими преимуществами:

- повышается предельная частота работы;
- уменьшается потребляемая мощность;
- повышается помехоустойчивость.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Бубенников А. Н. Возможности улучшения энергетических показателей биполярных логических элементов // Микроэлектроника.— 1990.— Т. 19, вып. 5.— С. 511—512.
2. Першенков В. С., Севастьянов А. В. Интегральные БиМОП-микросхемы // Зарубежная электронная техника.— 1989.— № 12.— С. 49—76.
3. А. с. 337825 СССР. Параллельно-последовательный сдвигающий регистр / В. П. Тесленко-Пономаренко.— 1972.— Бюл. № 15.
4. Наумов Ю. Е. Интегральные логические схемы.— М.: Сов. радио, 1970.
5. Майоров С. А., Кириллов В. В., Приблуда А. А. Введение в микроЭВМ.— Л.: Машиностроение, 1988.