

К. т. н. Г. В. КУЦЕНКО

Украина, г. Киев, НТК "Импульс"
E-mail: ntkiimpuls@ukr.net

Дата поступления в редакцию
20.04 2004 г.

Оппонент к. ф.-м. н. В. Л. ПЕРЕВЕРТАЙЛО
(НИИ микроприборов, г. Киев)

КОНТРОЛЛЕР ПОСЛЕДОВАТЕЛЬНОГО СИНХРОННОГО ПРИЕМА

Применен нетрадиционный способ сдвига. Устройство позволяет, сохраняя быстродействие, снизить потребляемую мощность, повысить помехоустойчивость, экономит оборудование.

Цифровая микроэлектроника предполагает использование потенциальной системы элементов, при которой такие узлы как регистр и счетчик строятся с использованием двух триггеров на один информационный разряд с двухфазной системой синхронизации. Требование минимизации количества выводов микросхем предполагает использование одной входной шины синхронизации с дальнейшим «расщеплением» фазы уже в самих устройствах, счетчиках и регистрах, что снижает их быстродействие.

Сдвиг информации в регистре по классической схеме с двухфазным управлением осуществляется с помощью «косых» пересылок между основными и вспомогательными триггерами, а время сдвига отсчитывает счетчик тактов. Регистр и счетчик являются составной частью таких устройств как контроллеры внешних устройств (ВУ).

Существует алгоритм сдвига [1], отличный от классического.

Поставим задачу использования указанного алгоритма сдвига в контроллере последовательного синхронного приема с количественной и качественной оценкой полученных результатов.

Работа микроЭВМ с внешними устройствами осуществляется через контроллер ВУ. Способы структурной и функциональной организации контроллеров ВУ разнообразны и определяются форматами данных, режимами работы ВУ и типом системного интерфейса микроЭВМ. Будем рассматривать связь ЭВМ с ВУ по стационарному каналу передачи данных последовательным кодом. Рассмотрим синхронный последовательный интерфейс.

Простой такой контроллер (последовательный интерфейс) представлен на **рис. 1** [2, с. 180—181]. Буферный регистр контроллера А1 предназначен для временного хранения байта данных, поступившего из сдвигового регистра.

Не останавливаясь подробно на работе контроллера с ЭВМ по системному интерфейсу, отметим, что при наличии единицы в одноразрядном адресе

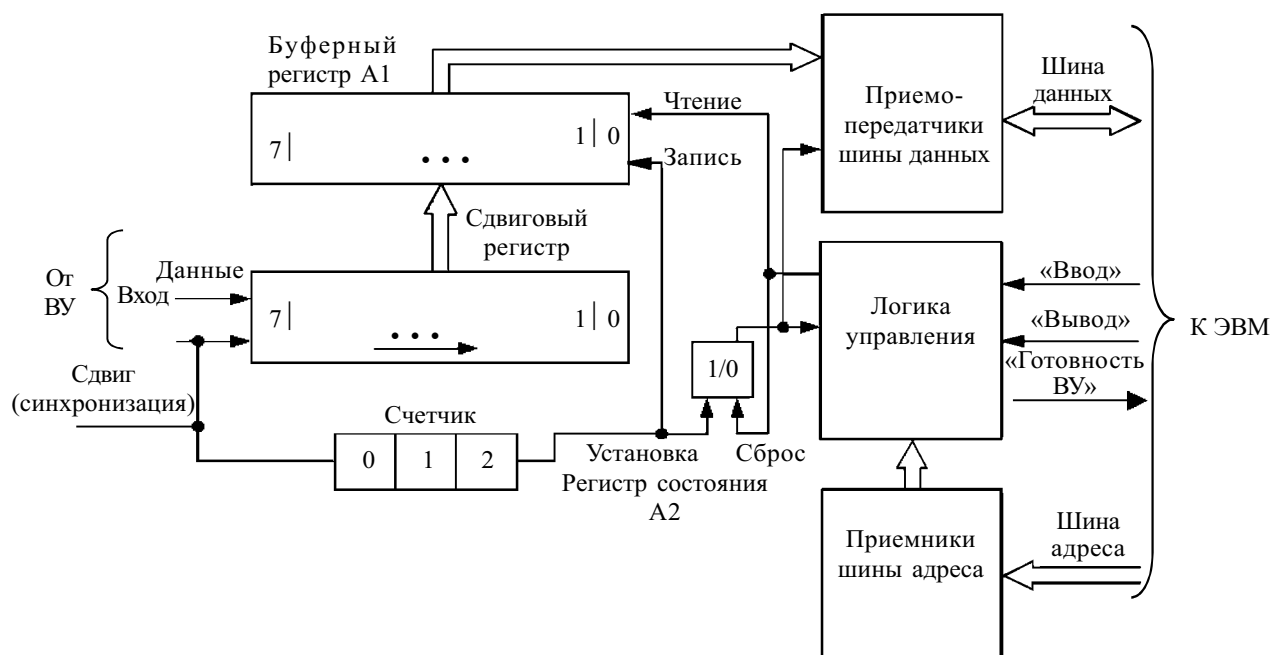


Рис. 1. Контроллер последовательного синхронного приема

регистре состояния контроллера А2 происходит прием очередного байта сдвига в буферный регистр. Чтение байта данных в системный интерфейс из буферного регистра происходит по командам микроЭВМ. Единица в регистре состояния контроллера А2 указывает на готовность контроллера передать очередной байт данных в системный интерфейс.

Данные, поступающие из линии связи в последовательном коде, преобразуются в параллельный код с помощью сдвигового регистра и трехразрядного двоичного счетчика тактовых импульсов. По линии «Данные» входной байт поступает на вход сдвигового регистра и по входу «синхронизация» импульсы синхронизации поступают на вход сдвигового регистра, а для счета — на вход счетчика. По каждому сдвиговому импульсу происходит сдвиг входной информации на один разряд; при этом увеличивается содержимое счетчика на единицу. При достижении счетчиком числа 7 (т. е. принято 8 разрядов) формируется управляющий сигнал «Запись». Принятый байт переписывается в регистр А1. Этот сигнал устанавливает в «1» регистр состояния А2. За время приема в сдвиговый регистр следующего байта информации из буферного регистра должна быть передана в ЭВМ по шине данных системного интерфейса. При передаче обнуляется регистр состояния контроллера, что свидетельствует о приеме по линии связи очередного байта информации.

При обмене устройств последовательным кодом одним из требований, которые предъявляются к ним, является быстроедействие.

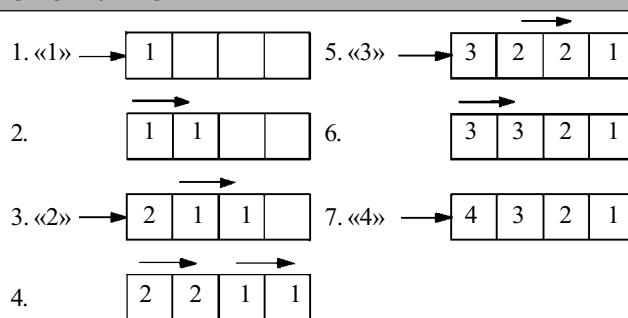


Рис. 2. Алгоритм сдвига

Рассмотрим предложенный алгоритм, который приведен на рис. 2. Приведенный алгоритм позволяет принять 4-разрядное число за 7 тактов, т. е. как и в случае классического сдвига. Для реализации приема информации по приведенному алгоритму используется приемный регистр с применением одного триггера на один разряд регистра, а для реализации сдвиговых импульсов используется регистр управления. Кроме реализации сдвига, регистр управления позволяет реализовать дополнительно отсчет времени, необходимого для сдвига. На рис. 3, 4 показаны временные диаграммы работы предлагаемого устройства, а на рис. 5 — схемная его реализация [1].

Устройство содержит информационный регистр 1 приема входной информации и регистр управления 2. В регистры входят триггеры 3 с вентилями записи единицы 4 и вентилями записи нуля 5, триггер управления 6, дополнительный триггер 7, шины тактовых импульсов Т1, Т2 8 и 9, входные шины парафазного

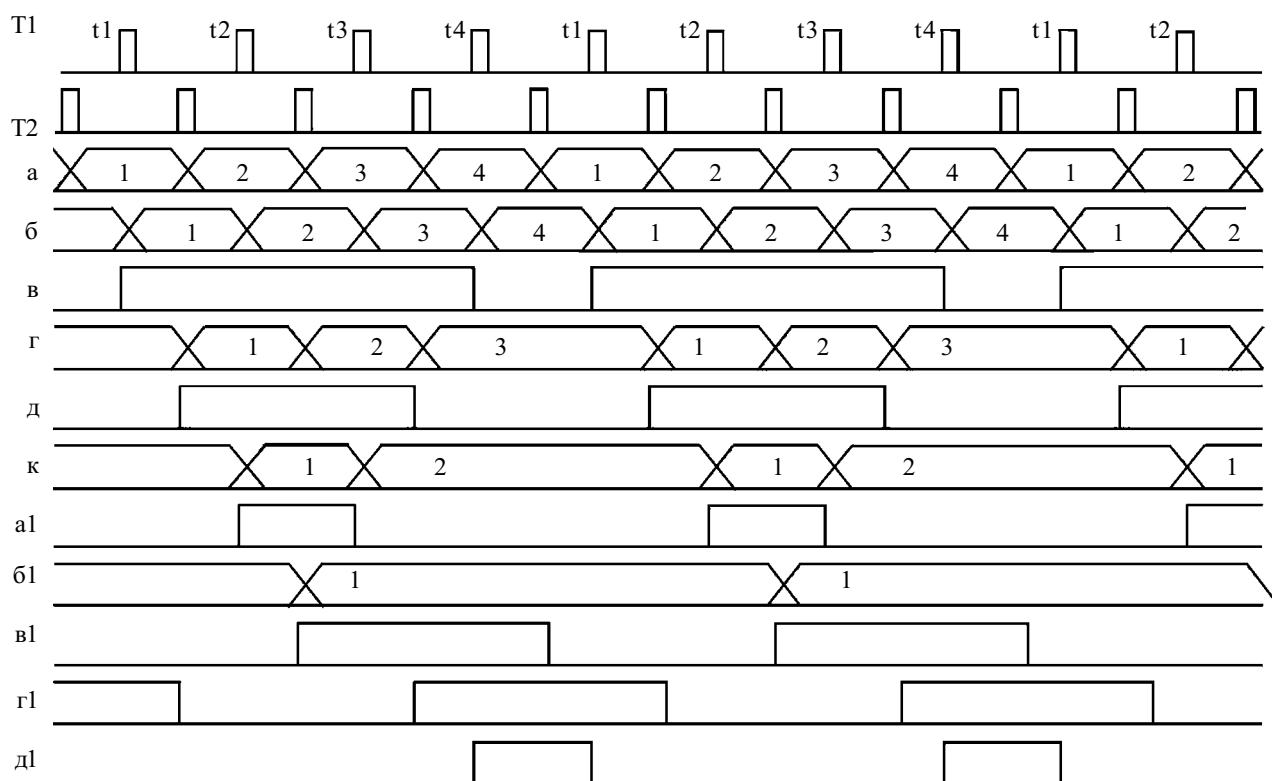


Рис. 3. Временная диаграмма работы устройства

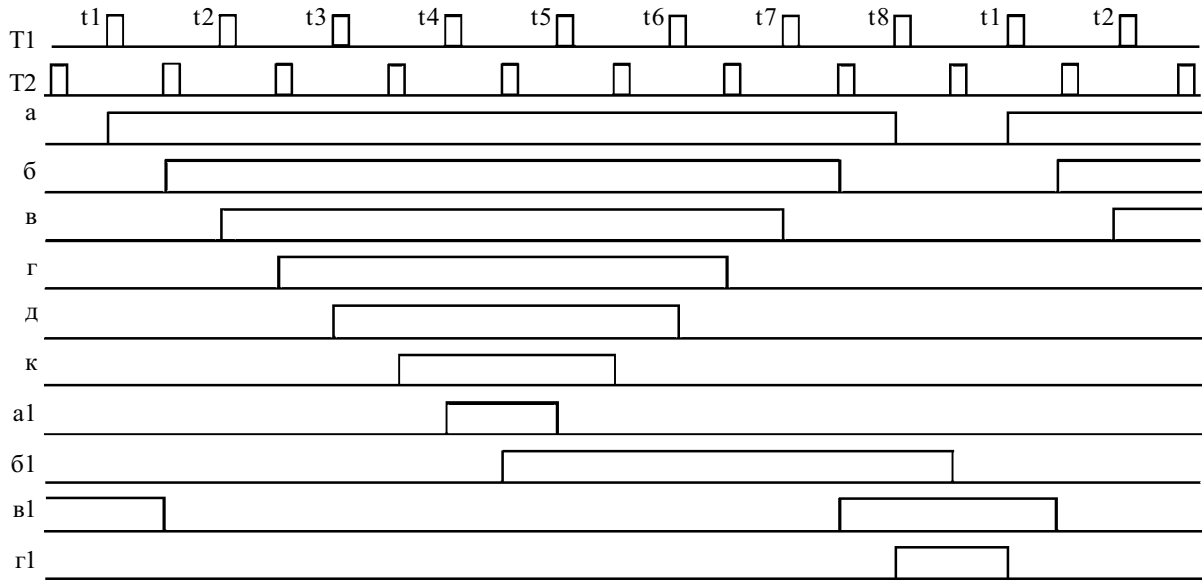


Рис. 4. Временная диаграмма работы 8-разрядного регистра управления

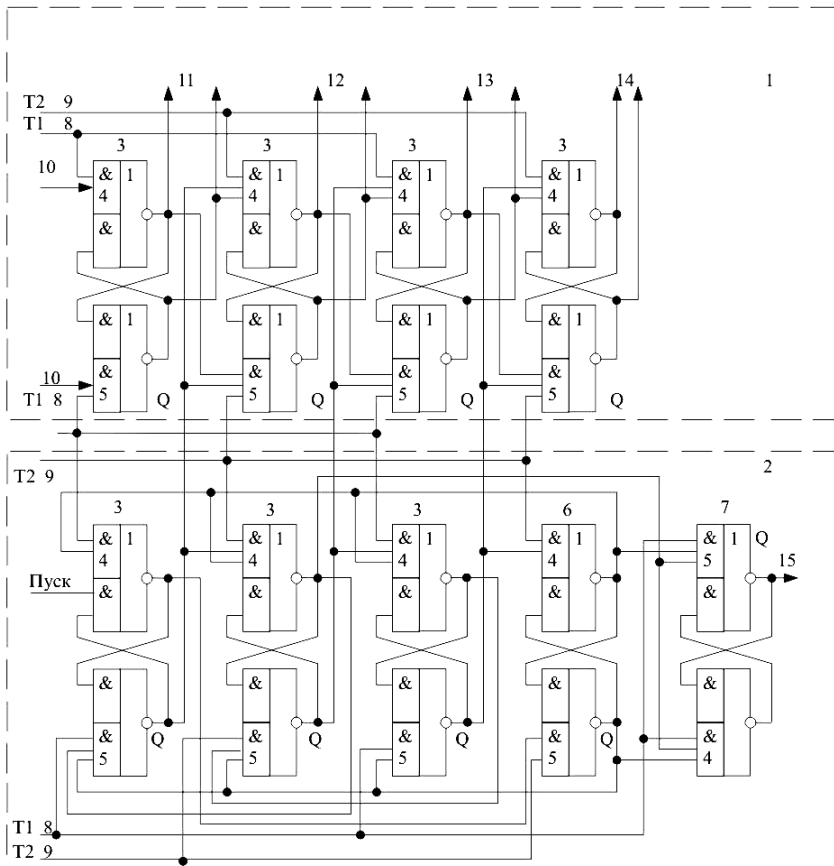


Рис. 5. Регистр сдвига

кода 10, выходные шины парафазного кода 11, 12, 13, 14, выход 15 дополнительного триггера 7.

На рис. 2 приведены этапы 1—7 приема входного четырехразрядного кода (1, 2, 3, 4 — разряды) информационным регистром 1.

На рис. 3 приведены временные диаграммы работы регистра управления:

а — входной последовательный код;

t1, t2, t3, t4 — временные моменты приема кода информационным регистром 1;

б — код, принятый первым информационным триггером;

в — выходные сигналы первого триггера регистра управления;

г — код, принятый вторым информационным триггером;

д — выходные сигналы второго триггера регистра управления;

к — код, принятый третьим информационным триггером;

а1 — выходной сигнал третьего триггера регистра управления;

б1 — код, принятый четвертым информационным триггером;

в1 — выходные сигналы триггера управления;

г1 — выходные сигналы нулевого выхода второго триггера регистра управления;

д1 — выходной сигнал 15 дополнительного триггера.

На рис. 4 показаны временные диаграммы работы регистра управления для случая принятия устройством 8-разрядного кода:

а, б, в, г, д, к, а1 — выходные сигналы триггеров 1, 2, 3, 4, 5, 6, 7 разрядов регистра управления;

б1 — выходной сигнал триггера управления;

в1 — выходной сигнал нулевого выхода второго триггера регистра управления;

г1 — выходной сигнал дополнительного триггера.

В схеме устройства использованы элементы положительной логики; считаем, что триггер 3 находится в состоянии единицы, если на выходе Q — высокий потенциал.

Устройство работает по приведенному на рис. 2 алгоритму. Входной сигнал парафазным кодом по шинам 10 принимается первым разрядом информационного регистра 1 вентилями 4 и 5 в такты T1, момент времени t1. В такт T2 информация из первого триггера переписывается во второй триггер, в следующий такт T1 информация принимается первым триггером, а из второго триггера переписывается в третий, следующим тактом T2 информация из первого триггера переписывается во второй, а из третьего — в четвертый триггер, далее первый триггер принимает вновь поступившую информацию, информация из второго триггера переписывается в третий; принятая информация четвертым триггером не изменяется. В последний момент t4 входная информация принимается только первым триггером, принятая информация вторым, третьим и четвертым триггерами не изменяется.

Разрешение и запрет на подачу таких управляющих сигналов осуществляется единичными Q выходами триггеров 3 регистра управления 2, как показано на рис. 3 (диаграммы в, д, а1). Режим работы этих триггеров определяется триггером управления 6 (диаграмма в1 рис. 3), а его циклический режим определен введением связи из нулевого выхода первого триггера на вход вентиля записи нуля в триггер управления 6. Работа дополнительного триггера 7 определяется сигналами на входах вентиля 4 (нулевым выходом второго триггера регистра управления и единичным выходом триггера управления) и сигналами на входе вентиля 5 (нулевым выходом триггера управления и нулевым выходом второго триггера регистра управления). Переключение триггера происходит в моменты следования тактов T1.

На рис. 4 показана временная диаграмма работы регистра управления для случая приема входной информации побайтно в моменты времени $t1 \div t8$. На диаграммах а, б, в, г, д, к, а1 показаны выходы с первого по седьмой триггеров регистра управления; на диаграмме б1 показан выходной сигнал триггера управления, на диаграмме в1 — выходной сигнал нулевого выхода второго триггера. Схема формирования сигнала дополнительного триггера (выходной сигнал на диаграмме г) остается без изменения. Следовательно, быстрдействие регистра управления не зависит от его разрядности. Для построения быстрдействующего счетчика с двухфазным управлением и схемой параллельного переноса необходимо к последующему разряду вести связи с выходов всех предыдущих разрядов, а в силу ограниченности входов логических элементов необходимо делать развязку, снижая тем самым быстрдействие устройства [2].

Считаем, что такты T2 поступают непрерывно, а такты T1 перед работой устройства отсутствуют. Поступающая информация в такты T2 сопровождается через полтакта тактом T1. Принятая информация сигналом дополнительного триггера 7 (рис. 3, диаграмма д1) может быть передана в буферный регистр и принята им в такт T2.

Из временных диаграмм рис. 3 (б, г, к, б1) видно, что при приеме входного кода первый разряд информационного регистра переключается непрерывно с каждым входным разрядом (считаем, что сле-

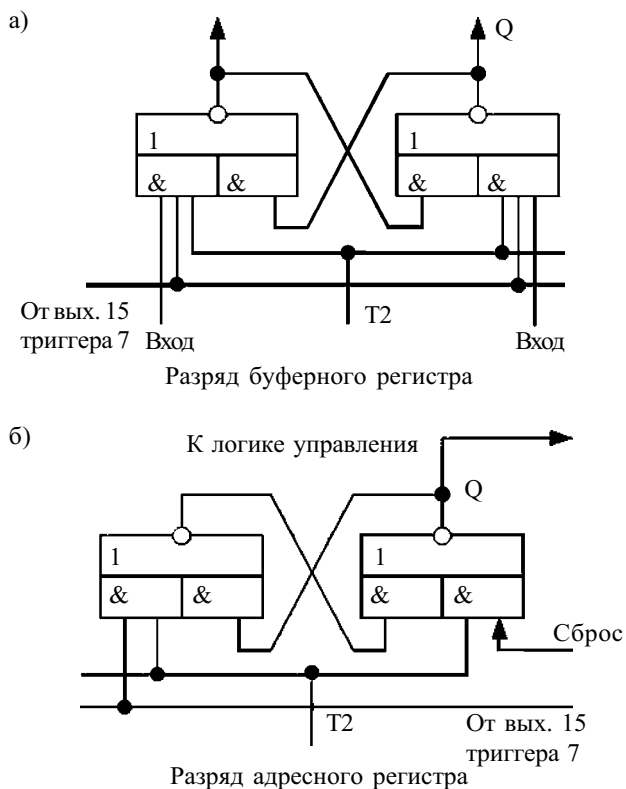


Рис. 6.

дует чередующаяся последовательность нулей и единиц); второй разряд переключается три раза (такты T2), третий — два (такты T1), а четвертый — один (такт T2). На рис. 6, а приведен один разряд буферного регистра контроллера. Принятая информация последовательным информационным регистром переписывается в буферный регистр контроллера сигналом триггера (выход 15) регистра управления в такт T2. Схема адресного регистра A2 приведена на рис. 6, б. Триггер устанавливается в «1» теми же сигналами, что и триггера буферного регистра. Сброс осуществляется устройством управления микропроцессора. Таким образом, произошла замена приемного регистра и счетчика другим приемным регистром (один триггер на один разряд регистра) и регистром управления, что вместе по затратам триггеров равносильно затратам на построение двухтактного регистра. Так как счетчик в таком варианте построения контроллера отсутствует, то получаем экономию в триггерах, необходимых для его реализации.

Совмещенная временная диаграмма импульсов переключения для случая сдвига четырехразрядного числа в варианте классического сдвига и по приведенному алгоритму приведена на рис. 7, где «*» обозначены импульсы переключения триггеров с использованием приведенного алгоритма.

Считаем, что сдвиг идет непрерывно, и следует чередующаяся последовательность нулей и единиц. Общее число переключений при сдвиге n -разрядного числа с использованием классического сдвига

$$S_k = 2n^2. \quad (1)$$

При сдвиге n -разрядного числа, с учетом вывода предыдущей информации и приема новой, каждый

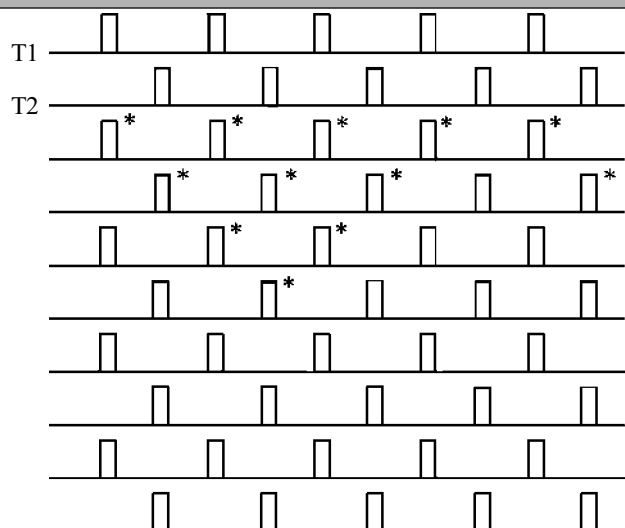


Рис. 7. Совмещенные временные диаграммы двух устройств разряд классического регистра, как основного триггера, так и вспомогательного, переключается n раз.

Общее число переключений при сдвиге с использованием приведенного алгоритма определяется как сумма членов арифметической прогрессии (рис. 7) и равно

$$S_a = \frac{n(3n-1)}{2}. \quad (2)$$

Определим разницу количества переключений.

$$\Delta S_a = S_k - S_a \frac{n(3n-1)}{2}. \quad (3)$$

Относительная оценка разницы количества переключений:

$$\frac{\Delta S}{S_k} = \frac{3}{4} - \frac{1}{4n}, \quad (4)$$

предельное ее значение —

$$\lim_{n \rightarrow \infty} \frac{\Delta S}{S_k} = \lim_{n \rightarrow \infty} \left(\frac{3}{4} - \frac{1}{4n} \right) = \frac{3}{4}. \quad (5)$$

Следовательно, применение указанного алгоритма уменьшает в пределе общее число переключений на 75%, для 4-разрядного числа — на 68%.

Большинство логических элементов на выходе содержат сложный инвертор. При переключении микросхем мощность достигает заметного значения. Эту

динамическую мощность необходимо учитывать при проектировании микросхем, выбирая между разрядностью регистра и предельной частотой его работы [3, с. 288].

Динамическая мощность определяется как [4]

$$P_d = \frac{1}{Q t_{\phi}} \int_0^{t_{\phi}} I_c U_{\text{ин}} dt \cong \frac{K}{2Q} \cong K t_{\phi} f, \quad (6)$$

где Q — скважность фронтов сигнала, $Q = T/t_{\phi}$;

T — период следования сигналов;

t_{ϕ} — длительность фронта;

I_c — емкостный ток;

$V_{\text{ин}}$ — напряжение источника питания;

K — обобщенный параметр инвертора;

f — частота следования.

Следовательно, динамическая мощность линейно растет с частотой и длительностью фронтов.

Уменьшение числа переключений в каждый момент времени (рис. 7) уменьшает броски тока по цепям питания, увеличивая помехоустойчивость устройства.

Выводы

Использование приведенного алгоритма при проектировании контроллеров последовательного синхронного приема дает следующие преимущества:

- сохраняется быстродействие приемного регистра;
- сохраняется быстродействие регистра управления (счетчика) и не зависит от его разрядности;
- экономится оборудование;
- снижается потребляемая мощность;
- повышается помехоустойчивость.

К недостаткам следует отнести необходимость применения дополнительной цепи синхронизации.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. А. с. 337825 СССР. Параллельно-последовательный сдвигающий регистр / В. П. Тесленко-Пономаренко. — 1972. — Б. И. № 15.
2. Майоров С. А., Кириллов В. В., Приблуда А. А. Введение в микроЭВМ. — Л.: Машиностроение, 1988.
3. Агаханян Т. М. Интегральные микросхемы. — М.: Энергоатомиздат, 1983.
4. Бубенников А. Н. Возможности улучшения энергетических показателей биполярных логических элементов // Микроэлектроника. — 1990. — Т. 19, вып. 5. — С. 511—512.

НОВЫЕ КНИГИ

НОВЫЕ КНИГИ

Мусаев Э. С. Оптоэлектронные устройства на полупроводниковых излучателях. — М.: Радио и связь, 2004. — 240 с.

Подробно рассматриваются различные полупроводниковые излучатели и фотоприемники, их характеристики, принципы построения устройств на их основе. Описаны возможные применения оптоэлектронных устройств в сельском хозяйстве, текстильной промышленности, в спорте и т. д. Особое внимание уделяется использованию оптоэлектронных методов в устройствах передачи информации, генераторах импульсов, устройствах освещения и т. д. Книга содержит обширное справочное приложение.

Для специалистов в области оптоэлектроники и квалифицированных радиолюбителей.

