

К. т. н. О. Н. ПАУЛИН, к. т. н. Ф. С. ШАПО,
Н. И. СИНЕГУБ, С. О. ПОЛЕЦУК

Украина, Одесский национальный политехнический университет
E-mail: paulin@te.net.ua

Дата поступления в редакцию
28.11 2006 г.

Оппонент к. т. н. В. Н. ОПАНАСЕНКО
(Ин-т кибернетики им. В. М. Глушкова,
г. Киев)

ПРОЕКТИРОВАНИЕ СУММАТОРОВ В СРЕДЕ ACTIVE-HDL С ПРЕДВАРИТЕЛЬНЫМ АНАЛИЗОМ ХАРАКТЕРИСТИК

На основе метода предварительного анализа 1 младших разрядов выравнивающей разности проектируется ряд оригинальных суммирующих устройств чисел с плавающей запятой.

Применение средств вычислительной техники в различных областях научно-производственной деятельности требует проектирования цифровых операционных устройств (ОУ) с различными характеристиками как по быстродействию, так и по аппаратным затратам. Предварительная оценка этих параметров может быть осуществлена путем моделирования данных операционных устройств на основе современных специализированных языков и соответствующих САПР. Однако ОУ, спроектированные на основе известных методов, уже не в полной мере удовлетворяют требованиям потребителей.

В данной работе на основе метода предварительного анализа 1 младших разрядов выравнивающей разности с применением современных САПР проектируется ряд оригинальных суммирующих устройств чисел с плавающей запятой.

В [1] рассмотрены функциональные модели суммирующих устройств чисел с плавающей запятой с последовательным и параллельным выполнением микроопераций “классической” макрооперации суммирования чисел с плавающей запятой, описанные на HDL-языке Verilog [2, 3] и сформированные из Verilog-описаний функциональных моделей всех блоков, входящих в их состав. Пример Verilog-описания модели блока сумматоров мантисс Full_Adder представлен на **листинге**.

Листинг

Verilog-описание функциональной модели блока сумматоров мантисс Full_Adder

```

timescale 10 ns / 1 ps
// Заголовок модуля блока сумматоров
module Full_Adder (Carry_In, Mant_1, Mant_2, Sum, Carry_Out);
input Carry_In, Mant_1, Mant_2;
output Sum, Carry_Out;
parameter Setting_Time = 10;
parameter n = 7;
parameter k = n-1;
wire Carry_In, Carry_Out;
    
```

```

wire [n:0] Mant_1, Mant_2, Sum;
wire [k:0] P; // Нулевая n-разрядная константа
assign P = {n{1'b0}};
assign #Setting_Time {Carry_Out, Sum} = Mant_1 + Mant_2 + {P, Carry_In};
endmodule
    
```

Name	Value	50	100 ns	150
Carry_In	1			
Mant_1	88	88		
Mant_2	88	88		
Sum	11	11		
Sum(7)	0			
Sum(6)	0			
Sum(5)	0			
Sum(4)	1			
Sum(3)	0			
Sum(2)	0			
Sum(1)	0			
Sum(0)	1			
Carry_Out	1			

Рис. 1. Временная диаграмма работы модуля Full_Adder

На **рис. 1** показана полученная в среде моделирования Active-HDL временная диаграмма работы модуля Full_Adder, на входы Carry_In, Mant_1, Mant_2 которого поступают отображаемые в двоично-шестнадцатеричном и шестнадцатеричном кодах значения сигналов “1” (1), “10001000” (88) и “10001000” (88), соответственно. Через время задержки, определяемое параметром Setting_Time = 10, в соответствии с функциональным назначением блока сумматоров мантисс, на выходах Sum, Carry_Out модуля формируются значения суммы мантисс “00010001” (11) и переноса “1” (1), соответственно.

На **рис. 2** представлена функциональная модель суммирующего устройства СУ1 с последовательным выполнением микроопераций. Временные задержки блоков СУ1 выбраны из расчета их реализации на микросхемах среднего уровня интеграции [4, с. 124—186].

Результаты моделирования Verilog-описания функциональной модели устройства СУ1 в среде моделирования Active-HDL в 16-ричном коде представлены на временной диаграмме **рис. 3**. Устройство сраба-

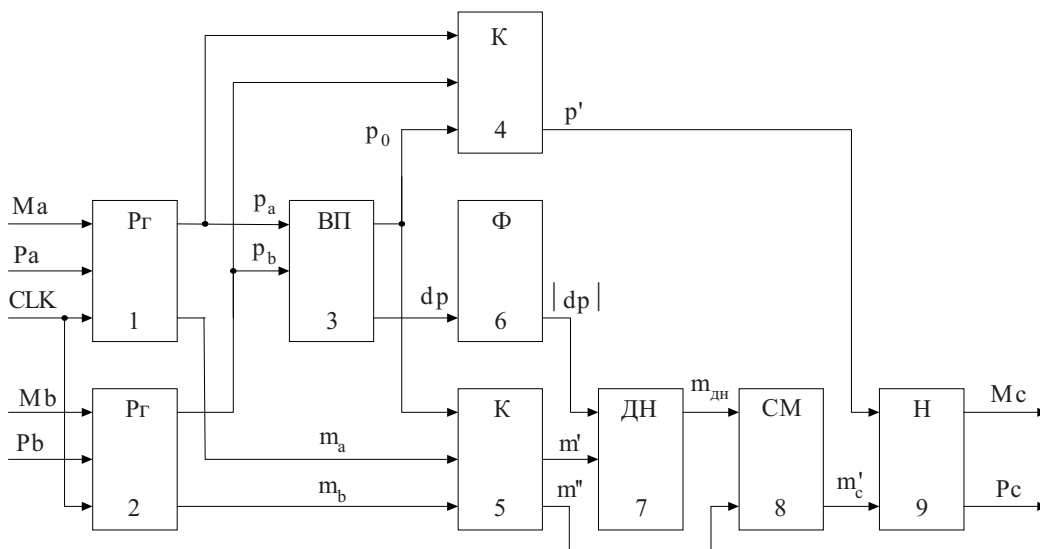


Рис. 2. Функциональная модель последовательного устройства СУ1:

Pr1, Pr2 — регистры 1, 2 слагаемых $A=m_a \cdot 2^{p_a}$, $B=m_b \cdot 2^{p_b}$, соответственно; К4, К5 — блоки коммутаторов 4, 5; ВП — блок вычитания порядков; Ф — блок формирователя модуля разности порядков (модуля выравнивающей разности); ДН — блок денормализации; СМ — блок сумматоров мантисс; Н — блок нормализации суммы чисел $C=m_c \cdot 2^{p_c}$; CLK — синхросигналы

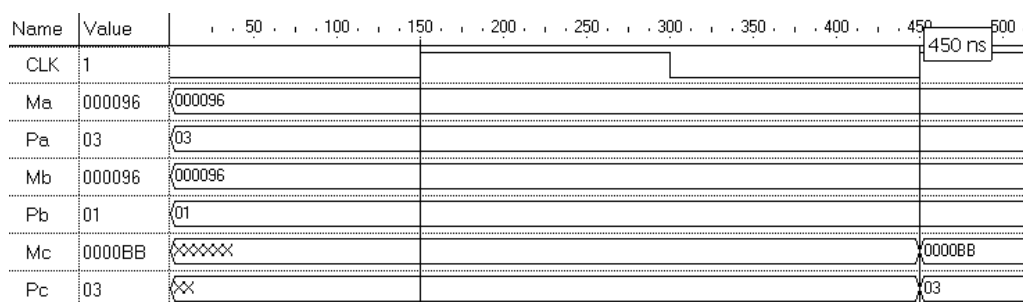


Рис. 3. Временная диаграмма работы последовательного устройства СУ1

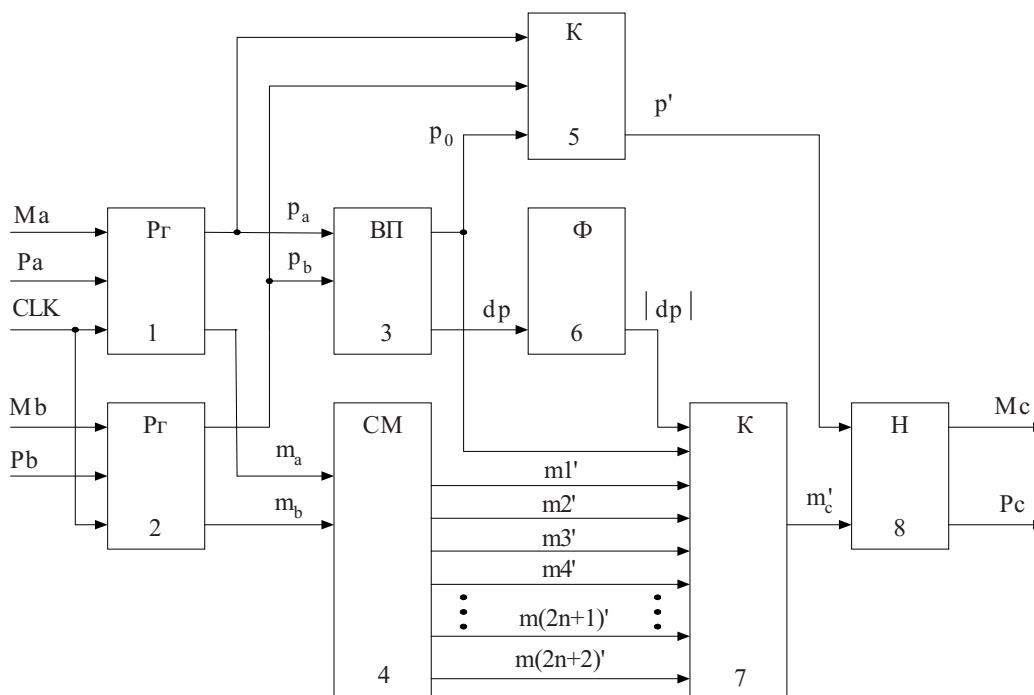


Рис. 4. Функциональная модель устройства СУ2 с параллельным выполнением микроопераций

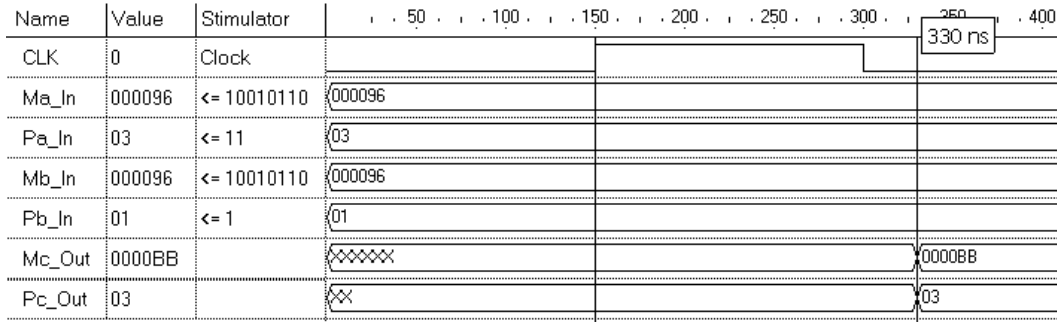


Рис. 5. Временная диаграмма работы параллельного устройства СУ2

тывает по переднему фронту синхронизирующего сигнала CLK. На входы устройства подаются значения мантисс (Ma и Mb) и значения порядков (Pa и Pb) чисел A и B. Из временной диаграммы следует, что на выходах устройства (Mc — мантисса результата, Pc — порядок результата) результат суммирования C формируется по истечении 300 нс.

На рис. 4 представлена функциональная модель суммирующего устройства СУ2 с параллельным выполнением микроопераций вычисления модуля выравнивающей разности и подготовки всех возможных $(2n+2)$ частичных $2n$ -разрядных сумм мантисс слагемых с дальнейшим выбором необходимого результата.

Результаты моделирования параллельного устройства СУ2 в среде Active-HDL отображены в 16-ричном коде на временной диаграмме рис. 5. Устройство срабатывает по переднему фронту синхронизирующего сигнала CLK. Из временной диаграммы следует, что на выходах СУ2 результат суммирования формируется по истечении 180 нс. Однако высокое быстродействие в данном устройстве достигается за счет значительных аппаратных затрат.

Сокращения аппаратных затрат (при некотором снижении быстродействия) можно достичь, если предварительно анализировать l младших разрядов выравнивающей разности [5]. Обобщенная структурная схема устройства СУ3, реализующего сложение двух чисел с плавающей запятой на основе данного метода, показана на рис. 6.

На входы блока КС1 (комбинационной схемы 1) устройства поступают порядки P_a и P_b суммируемых

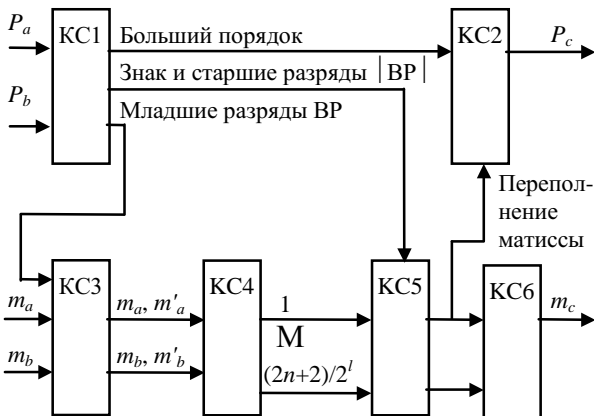


Рис. 6. Структурная схема суммирующего устройства СУ3 с предварительным анализом l младших разрядов выравнивающей разности

чисел. В блоке определяется максимальный порядок, вычисляется модуль выравнивающей разности (ВР), а также определяются значения l младших разрядов ВР, которые в дополнительном коде вычисляются раньше, чем все остальные разряды ВР. Вычисленные значения младших разрядов ВР поступают в блок КС3. Это блок коммутаторов, необходимых для предварительного сдвига мантисс слагаемых чисел на (2^l-1) разрядов. В блоке КС4 подготавливается $(2n+2)/2^l$ частичных сумм (n — разрядность мантисс слагаемых), сдвигаемых относительно друг друга на 2^l разрядов. В блоке КС5 выбирается нужная частичная сумма в зависимости от значений знака и старших разрядов модуля ВР. В блоке КС6 нормализуется мантисса результата суммирования. В блоке КС2 корректируется порядок результата суммирования.

На рис. 7 представлена функциональная модель устройства СУ4 с предварительным анализом первого младшего разряда выравнивающей разности [6]. В блоке 7 устройства происходит подготовка $(k+2)$ $2k$ -разрядных сумм мантисс $m_1', m_2', \dots, m_{(k+2)'}$ ($k=n+1$, n — разрядность мантисс слагаемых). При этом сдвиг мантисс чисел A и B относительно друг друга происходит на два разряда. В блоке 4 осуществляется предварительный сдвиг на один разряд мантисс первого и второго слагаемых в сторону младших разрядов при значении младшего разряда ВР, равном логической единице; в случае логического нуля сдвиг мантисс не происходит. В блоке 8 осуществляется выбор необходимой предварительно подготовленной суммы мантисс.

Результат моделирования СУ4 в среде Active-HDL отображен на временной диаграмме рис. 8. Устройство срабатывает по переднему фронту синхронизирующего сигнала CLK. Из временной диаграммы следует, что на выходах устройства результат суммирования формируется по истечении 210 нс.

Предварительный анализ двух младших разрядов ВР приводит к дальнейшему сокращению аппаратных затрат (рис. 9), но при этом увеличивается время выполнения операции суммирования. Блоки предварительного анализа устройства СУ5 (4_1 и 4_2) имеют одинаковую структуру. С выходов первого блока предварительного анализа (блок 4_1) на входы второго блока предварительного анализа (блок 4_2) поступают мантиссы ma' , mb' , а также второй младший разряд выравнивающей разности. На выходах блока 4_2 формируются мантиссы ma'' и mb'' , которые сдвигаются относительно ma' и mb' на два разряда, если зна-

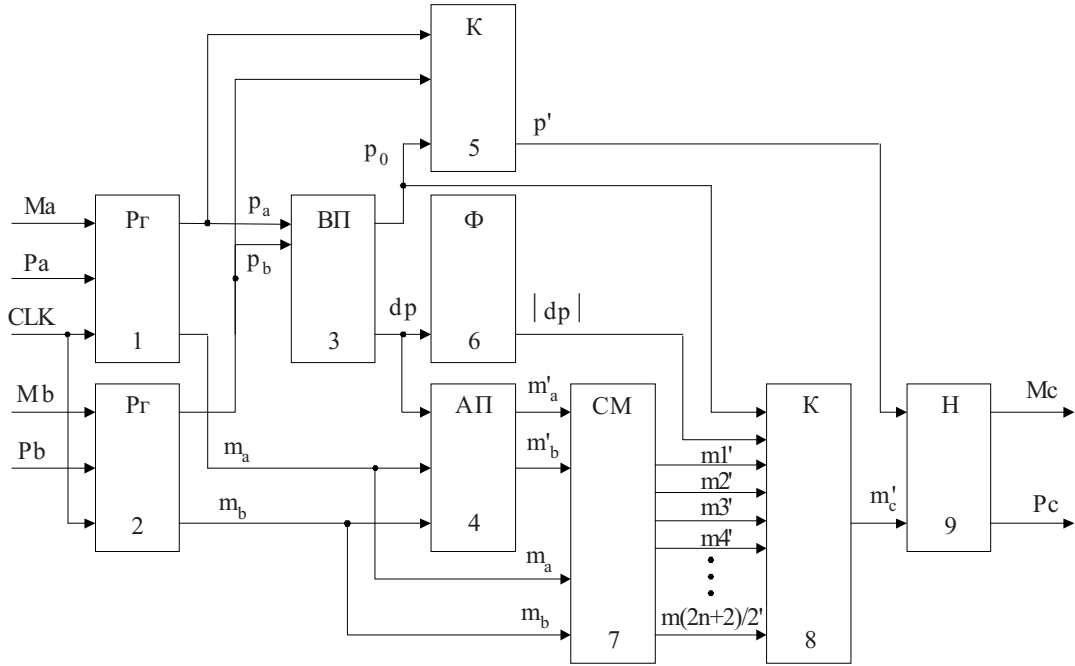


Рис. 7. Функциональная модель устройства СУ4

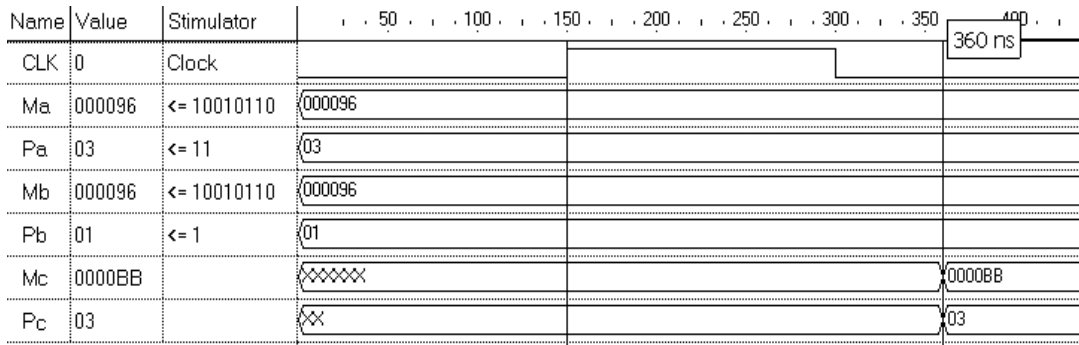


Рис. 8. Временная диаграмма работы устройства СУ4

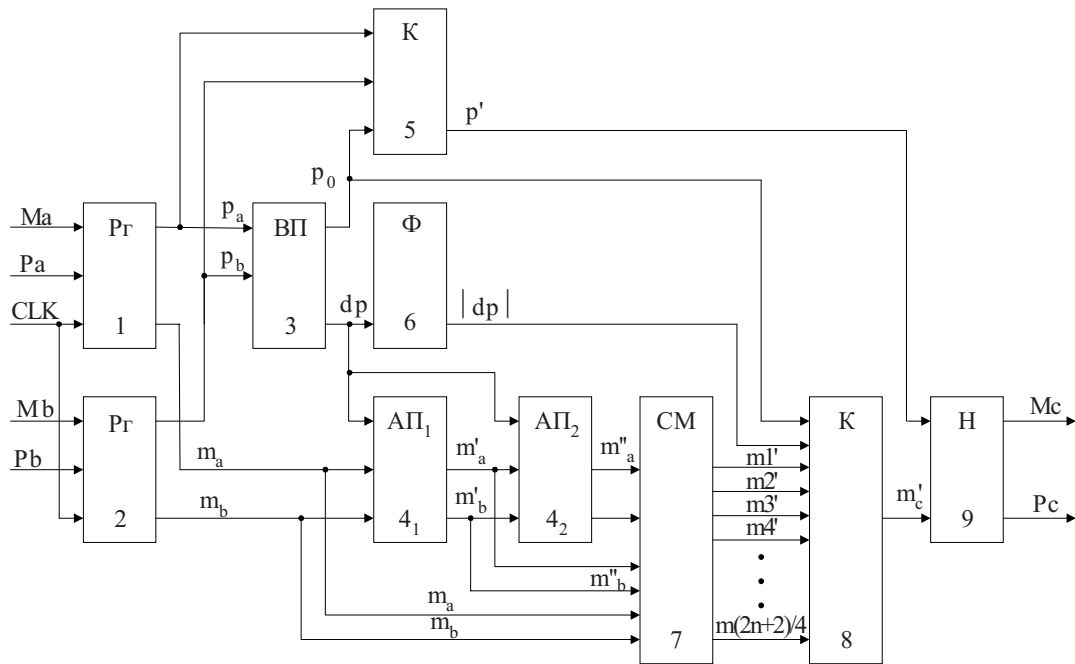


Рис. 9. Функциональная модель устройства СУ5 с предварительным анализом первого и второго младших разрядов выравнивающей разности

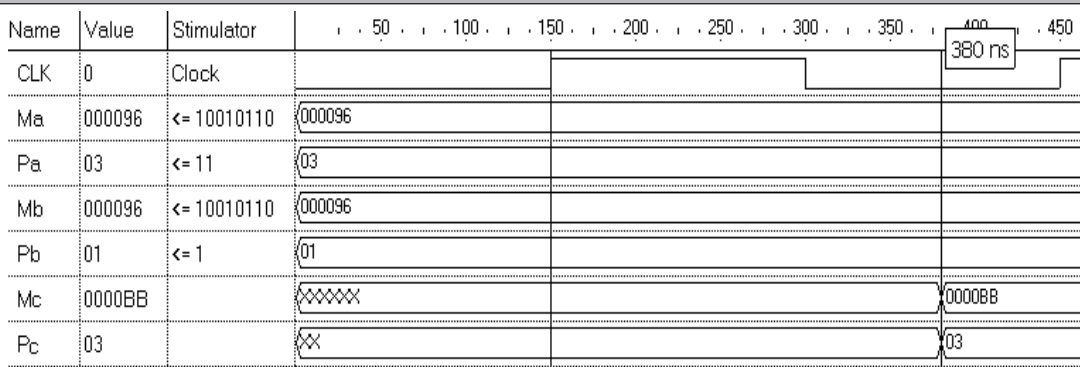


Рис. 10. Временная диаграмма работы устройства CY5

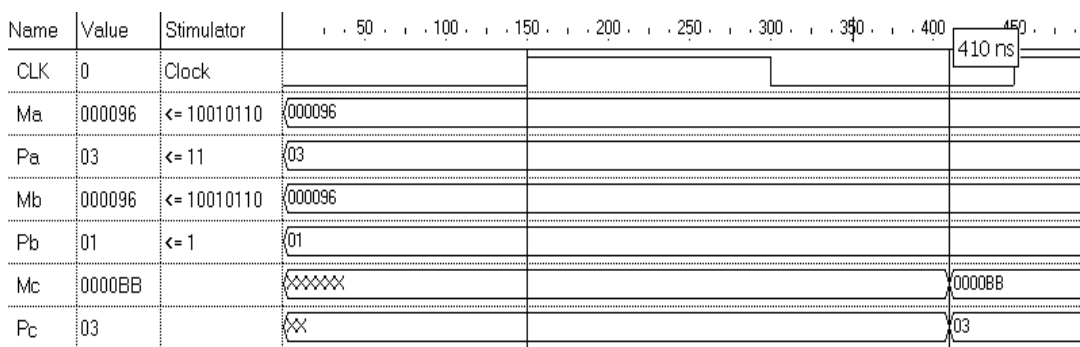


Рис. 11. Временная диаграмма работы устройства CY6 с предварительным анализом трех младших разрядов выравнивающей разности

чение второго младшего разряда ВР равно логической единице. В противном случае сдвиг не происходит, и $ma''=ma'$, $mb''=mb'$.

На блок подготовки частичных сумм (блок 7) подаются мантиссы ma , ma' , ma'' , mb , mb' , mb'' . Здесь подготавливаются $(2n+2)/4$ 2z-разрядные суммы мантисс ($z=n+3$). Затем в коммутационном блоке (блок 8) выбирается необходимая сумма мантисс исходя из значений знака и старших разрядов модуля ВР.

Результаты моделирования устройства CY5 в среде Active-HDL представлены на временной диаграмме рис. 10. Устройство срабатывает по переднему фронту синхронизирующего сигнала CLK. Из временной диаграммы следует, что на выходах устройства результат суммирования формируется по истечении 230 нс.

В функциональную модель устройства CY6 для анализа трех младших разрядов выравнивающей разности добавляется еще один анализирующий блок АП₃ между блоками АП₂ и СМ (см. рис. 9). Блоки предварительного анализа функционируют идентично. На входы третьего анализирующего блока АП₃ подаются мантиссы ma'' и mb'' . Здесь производится сдвиг мантисс ma'' и mb'' на 4 разряда относительно мантисс ma и mb , если третий младший разряд выравнивающей разности равен логической единице. В блоке подготовки частичных сумм подготавливаются суммы мантисс m_1' , m_2' , ..., $m_{(2n+2)/8}'$. В блоке коммутации выбирается необходимая сумма мантисс — аналогично CY5.

Результаты моделирования устройства CY6 в среде Active-HDL представлены на временной диаграмме рис. 11. Устройство срабатывает по пе-

реднему фронту синхронизирующего сигнала CLK. Из временной диаграммы следует, что на выходах устройства результат формируется по истечении 260 нс.

Для выработки рекомендаций по использованию рассмотренных выше суммирующих устройств их необходимо сравнить между собой не только по быстродействию, но также и по аппаратным затратам. Аппаратные затраты Q определяются по принципу Квайна, т. е. подсчитывается количество всех входов всех элементов схемы.

Пусть рассмотренные функциональные модели имеют разрядность 32, из них 24 разряда — мантиса числа, 8 разрядов — порядок числа. Тогда в про-

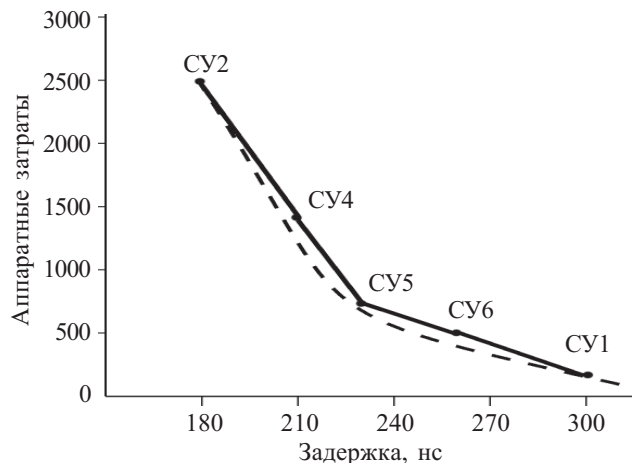


Рис. 12. Оценка качества сравниваемых суммирующих устройств

странстве критериев "задержка" — "аппаратные затраты" (рис. 12) они располагаются в соответствии с принципом оптимальности по Парето [7] (пунктирная кривая).

Анализ результатов моделирования показал, что СУ2 на ≈50% быстрее, чем СУ1. Но при этом аппаратные затраты у СУ2 возрастают почти на порядок в сравнении с СУ1. СУ4 дает выигрыш в быстродействии на ≈30%, при этом аппаратные затраты увеличиваются в сравнении с СУ1 в 5 раз. СУ5 дает выигрыш в быстродействии на ≈23%, аппаратные затраты увеличиваются в 3 раза. СУ6 дает выигрыш в быстродействии на ≈14%, аппаратные затраты увеличиваются в 2 раза по сравнению с СУ1.

В зависимости от разрядности порядков суммируемых чисел с плавающей запятой и с целью дальнейшего сокращения аппаратных затрат возможен предварительный анализ четырех, пяти и т. д. разрядов выравнивающей разности.

Таким образом, рассматриваемый в статье метод суммирования чисел с плавающей запятой позволяет сократить аппаратные затраты суммирующих устройств за счет уменьшения количества сумматоров целых чисел, используемых при подготовке частичных сумм. Но при этом быстродействие суммирующих устройств понижается.

Данные суммирующие устройства с требуемыми характеристиками могут быть реализованы на ПЛИС с помощью, например, системы автоматизированно-

го проектирования MAX+plus II, разработанной фирмой Altera. В данной САПР используются различные языки описания цифровых устройств — Verilog-HDL, VHDL, Altera HDL и др. Система автоматически просчитывает логическую емкость устройства и предлагает конкретную микросхему из заданного семейства микросхем, наиболее подходящую для реализации проектируемого устройства.

Практика показывает, что между оценками аппаратных затрат по Квайну и по занимаемой устройством площади кристалла есть соответствие.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Паулин О. Н., Шапо Ф. С., Синегуб Н. И. Модель сумматора с параллельным выполнением микроопераций // Технология и конструирование в электронной аппаратуре (ТКЭА).— 2005.— № 2.— С. 17—20.
2. ALDEC's EVITA InterActive-HDL Tutorial.— Aldec, Inc.: Henderson, NV 89014.
3. Кондратенко Ю. П., Мохор В. В., Сидоренко С. А. Verilog-HDL для моделирования и синтеза цифровых электронных схем.— Николаев: Изд-во НГТУ им. Петра Могилы, 2002.
4. Справочник по интегральным микросхемам / Под ред. Б. В. Тарабрина.— М.: Энергия, 1980.
5. Синегуб Н. И. Сумматоры чисел с плавающей запятой // Тр. Одес. политехн. ун-та.— 2004.— № 1.— С. 96—99.
6. А. с. 1833864 СССР. Устройство для суммирования чисел в дополнительном коде с плавающей запятой / А. В. Дрозд, О. Н. Паулин, Н. И. Синегуб.— 1993.— Бюл. № 30.
7. Потемкин И. С. Автоматизация синтеза функциональных схем (на примере сумматоров с групповым переносом).— М.: Энергоиздат, 1981.

НОВЫЕ КНИГИ

НОВЫЕ КНИГИ



Самарин О. Ф., Соловьев А. А., Шарова Т. В. Радиолокационные системы многофункциональных самолетов. Т.3. Вычислительные системы РЛС многофункциональных самолетов.— М.: Радиотехника, 2007.— 286 с.

Изложены принципы построения и особенности функционирования бортовых цифровых вычислительных систем (БЦВС), выполняющих функции обработки информации и управления в составе бортовых РЛС многофункциональных самолётов, и пути их совершенствования, отвечающие требованиям расширяющихся классов решаемых задач и ограничениям современных технологий, используемых при их разработке.

Для научных работников и инженеров, связанных с проектированием БРЛС и БЦВС. Может быть полезна преподавателям, аспирантам и студентам радиотехнических факультетов вузов.

НОВЫЕ КНИГИ



Бортовые интеллектуальные системы. Ч. 1. Авиационные системы.— М.: Радиотехника, 2006.— 104 с.

Изложены методы искусственного интеллекта применительно к бортовому авиационному комплексу, который функционирует в условиях реально складывающейся неопределенности и призван обеспечить комфортную работу летчика (экипажа) вне зависимости от текущей воздушной обстановки.

Для научных работников, аспирантов и студентов, занимающихся проблемами создания искусственного интеллекта.