

К. т. н. В. Н. ОПАНАСЕНКО, А. Н. ЛИСОВЫЙ,  
к. т. н. В. Г. САХАРИН

Украина, г. Киев, Ин-т кибернетики им. В. М. Глушкова  
E-mail: Lan-Sasha@yandex.ru

Дата поступления в редакцию  
20.05 2008 г.

Оппонент д. т. н. В. С. СИТНИКОВ  
(ОНПУ, г. Одесса)

## РЕАЛИЗАЦИЯ АРИФМЕТИЧЕСКИХ ОПЕРАЦИЙ С КОМПЛЕКСНЫМИ ЧИСЛАМИ НА ПЛИС

*Предложены аппаратные реализации арифметических операций, позволяющие производить цифровую обработку сигналов с комплексными числами. Верификация и тестирование модулей подтвердили, что они работают корректно и могут быть использованы в виде готовых библиотечных блоков.*

Комплексные числа [1] используются при математическом описании многих задач физики и техники (в гидродинамике, аэромеханике, электротехнике, атомной физике и т. д.). Основные разделы классического математического анализа приобретают полную ясность и законченность только при использовании комплексных чисел, чем обуславливается центральное место, занимаемое теорией функций комплексного переменного.

Программное обеспечение компьютеров, а также специальные пакеты программ обеспечивают успешное решение практических задач с этими числами. Для сокращения времени обработки и обеспечения возможности их применения в бортовых устройствах и комплексах, кроме DSP-процессоров, можно использовать ПЛИС, в которых также можно реализовать цифровую обработку сигналов с комплексными числами. Для некоторых приложений можно получить более высокое быстродействие по сравнению с DSP. Разработанные блоки могут быть применены для расчета электрических цепей, вычисления интегралов, быстрого преобразования Фурье и других задач науки и техники.

Аппаратные реализации представляются функциональными библиотечными блоками, которые можно легко настраивать в соответствии с требованиями нового проекта, и они, как правило, независимы от технологии изготовления ПЛИС. Наиболее важным свойством готового технического решения является его гарантированное воспроизведение в новом проекте в соответствии со спецификацией, определенной разработчиком этого решения и уточненной разработчиком проекта. Следует отметить, что описание модели с помощью HDL-технологии позволяет не только сделать модель перенастраиваемой и независимой от технологии, но и выполнять моделирование и синтез с использованием инструментальных средств различных фирм [2—4].

### Структурная организация арифметических модулей

Комплексными числами  $(x, y)$  будем называть пары действительных чисел  $x$  и  $y$ , для которых правила выполнения арифметических операций определены следующим образом:

$$z_1 + z_2 = (x_1 + x_2, y_1 + y_2);$$

$$z_1 z_2 = (x_1 x_2 - y_1 y_2, x_1 y_2 + x_2 y_1);$$

$$\frac{z_1}{z_2} = \left( \frac{x_1 x_2 + y_1 y_2}{x_2^2 + y_2^2}, \frac{x_2 y_1 - x_1 y_2}{x_2^2 + y_2^2} \right).$$

Рассмотрим структурную организацию модулей (16- и 32-разрядных), реализующих арифметические операции с комплексными числами, построенных на основе кристаллов ПЛИС серий Spartan-3 (XC3S400-5FG456) [5] и Virtex-5 (XC5VLX30-3FF676) [6].

*Операции сложения/вычитания комплексных чисел.* На рис. 1 приведена блок-схема модуля сложения/вычитания двух комплексных чисел с одновременным получением результата действительной и мнимой части на двух выходах. Блок LUT (Look-Up-Table) является комбинационным устройством, выполняющим операцию сложения или вычитания. Для суммирования (вычитания) используются функциональные генераторы, образующие разряды суммируемых чисел и располагаемые в одном ряду матрицы кристалла. Эти разряды соединяются между собой через элементы ускоренного переноса.

Цепи синхронизации, связанные с синхривходами входных и выходных регистров (Rg) на схеме условно не показаны. Состояние «0» сигнала  $a_s$  соответствует выполнению операции сложения, состояние «1» — операции вычитания.

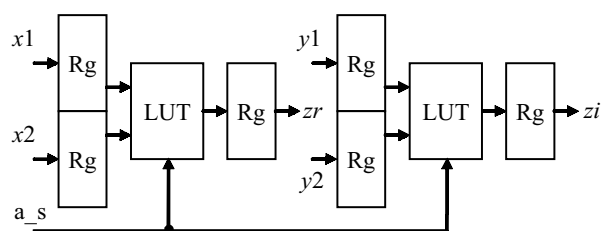


Рис. 1. Блок-схема модуля сложения/вычитания двух комплексных чисел

Таблица 1

Аппаратные и временные характеристики модуля сложения/вычитания

Тип кристалла	Разрядность модуля	Количество секций (Slices)	Количество FF	Количество LUT	Частота, МГц
XC3S400-5FG456	16	48	96	32	230
	32	96	192	64	192
XC5VLX30-3FF324	16	24	96	32	525
	32	56	192	64	455

Таблица 2

Аппаратные и временные характеристики модуля умножения

Тип кристалла	Разрядность модуля	Тип умножителя	Количество секций (Slices)	Количество умножителей	Количество FF	Количество LUT	Частота, МГц
XC3S400-5FG456	16	LUT	756	—	128	1272	50
		Mult18x18s	64	4	128	64	78
	32	LUT	2612	—	256	4624	32
		Mult18x18s	352	16	256	572	42
XC5VLX30-3FF676	16	LUT	393	—	128	1456	110
		DSP48E	—	4	—	—	242
	32	LUT	1345	—	256	5144	68
		DSP48E	33	16	128	128	110

В табл. 1 приведены аппаратные ресурсы (количество Slices, триггеров (FF) и LUT) и временные характеристики (быстродействие) модуля.

Операция умножения комплексных чисел. Блок-схема модуля умножения двух комплексных чисел с одновременным получением результата действительной и мнимой части на двух выходах представлена на рис. 2.

Для выполнения операции умножения в новом проекте соответствующий модуль может быть выполнен различными способами: описанием поведения или структуры модуля на языке VHDL, включением в схему элемента умножения из библиотеки при работе со схематическим редактором, формированием IP-модуля с помощью средства Core Generator.

Приведем поведенческое описание модуля на языке VHDL (листинг 1).

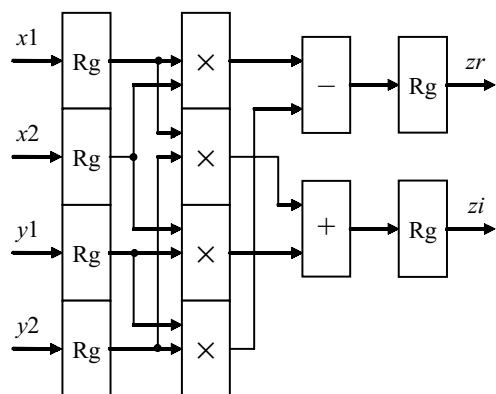


Рис. 2. Блок-схема модуля умножения двух комплексных чисел

Листинг 1

```

Поведенческое описание модуля умножения
entity mult is
generic (N : integer:=16);
Port (x1 : in std_logic_vector(N-1 downto 0);
      x2 : in std_logic_vector(N-1 downto 0);
      y1 : in std_logic_vector(N-1 downto 0);
      y2 : in std_logic_vector(N-1 downto 0);
      clk : in std_logic;
      zr : out std_logic_vector(2*N-1 downto 0);
      zi : out std_logic_vector(2*N-1 downto 0));
end mult;
architecture Behavioral of mult_16 is
signal t1, t2, t3, t4 : std_logic_vector(N-1 downto 0);
signal t5, t6 : std_logic_vector(2*N-1 downto 0);
begin
process (clk)
begin
if (clk'event and clk='1') then
t1<=x1; t2<=x2; t3<=y1; t4<=y2; zr1<=t5; zi<=t6;
end if;
end process;
t5<=(t1*t2)-(t3*t4); t6<=(t1*t4)+(t2*t3);
end Behavioral;
    
```

Кроме модулей умножения, создаваемых с использованием сумматоров на основе LUT, в кристаллах серии Spartan-3 имеются встроенные умножители Mult18x18 [7], а в кристаллах серии Virtex-5 — специализированные секции DSP48E, выполняющие умножение 25x18 бит, а также некоторые другие функции, требуемые при цифровой обработке сигналов [8].

Эти аппаратные средства позволяют реализовать операции умножения с различным числом разрядов сомножителей. Для увеличения быстродействия при обработке больших массивов чисел имеется возможность использования умножителей с различным числом уровней конвейеризации. Благодаря введению конвейеризации общее время обработки массива данных объемом  $N$  чисел уменьшается в  $NT_{clk1}/(NT_{clk2}+\Delta T)$  раз ( $T_{clk1}$  — период синхросигналов без конвейеризации,  $T_{clk2}$  — с конвейеризацией,  $\Delta T$  — время загрузки конвейера, равное произведению числа уровней конвейеризации на  $T_{clk2}$ ).

В табл. 2 приведены аппаратные и временные характеристики модуля умножения.

При использовании умножителей DSP48E в 16-разрядном модуле все операции выполняются внутри этих элементов, которые программируются на выполнение умножения с комплексными числами. На рис. 3 приведена блок-схема модуля, реализующего операцию умножения, на базе четырех DSP48E.

Если производится умножение двух 32-разрядных чисел, знаки которых представлены в дополнительных кодах, то для выполнения одной операции умножения требуется четыре умножителя (Mult18x18

или DSP48E), два сумматора и дополнительный логический элемент, обеспечивающий масштабирование частичных произведений и сумм. Таким образом, общее число умножителей, реализующих операцию умножения 32-разрядных чисел, составляет 16.

Результирующее произведение определяется выражением:

$$P=(A_H \times B_H \& A_L \times B_L)+(C \& S_{HL} \& NULL),$$

где  $A_H \times B_H$  — произведение старших частей сомножителей  $A$  и  $B$ ;  
 $A_L \times B_L$  — произведение младших частей сомножителей  $A$  и  $B$ ;  
 $\&$  — конкатенация кодов, находящихся слева и справа от знака;

$+$  — сложение кодов;

$S_{HL}$  — сумма произведений старших и младших частей сомножителей,

$$S_{HL} = A_L \times B_H + A_H \times B_L;$$

$C$  — 17-разрядная константа (все разряды равны «0» или «1» в зависимости от знака суммы  $S_{HL}$ );

$NULL$  — 17-разрядная константа (все разряды равны «0»).

Представленная на рис. 2 схема может быть модифицирована в соответствии с уравнениями [7]

$$zr = x_1 x_2 - y_1 y_2 = x_1(x_2 + y_2) - y_2(x_1 + y_1);$$

$$zi = x_1 y_2 + x_2 y_1 = x_1(x_2 + y_2) + x_2(y_1 - x_1).$$

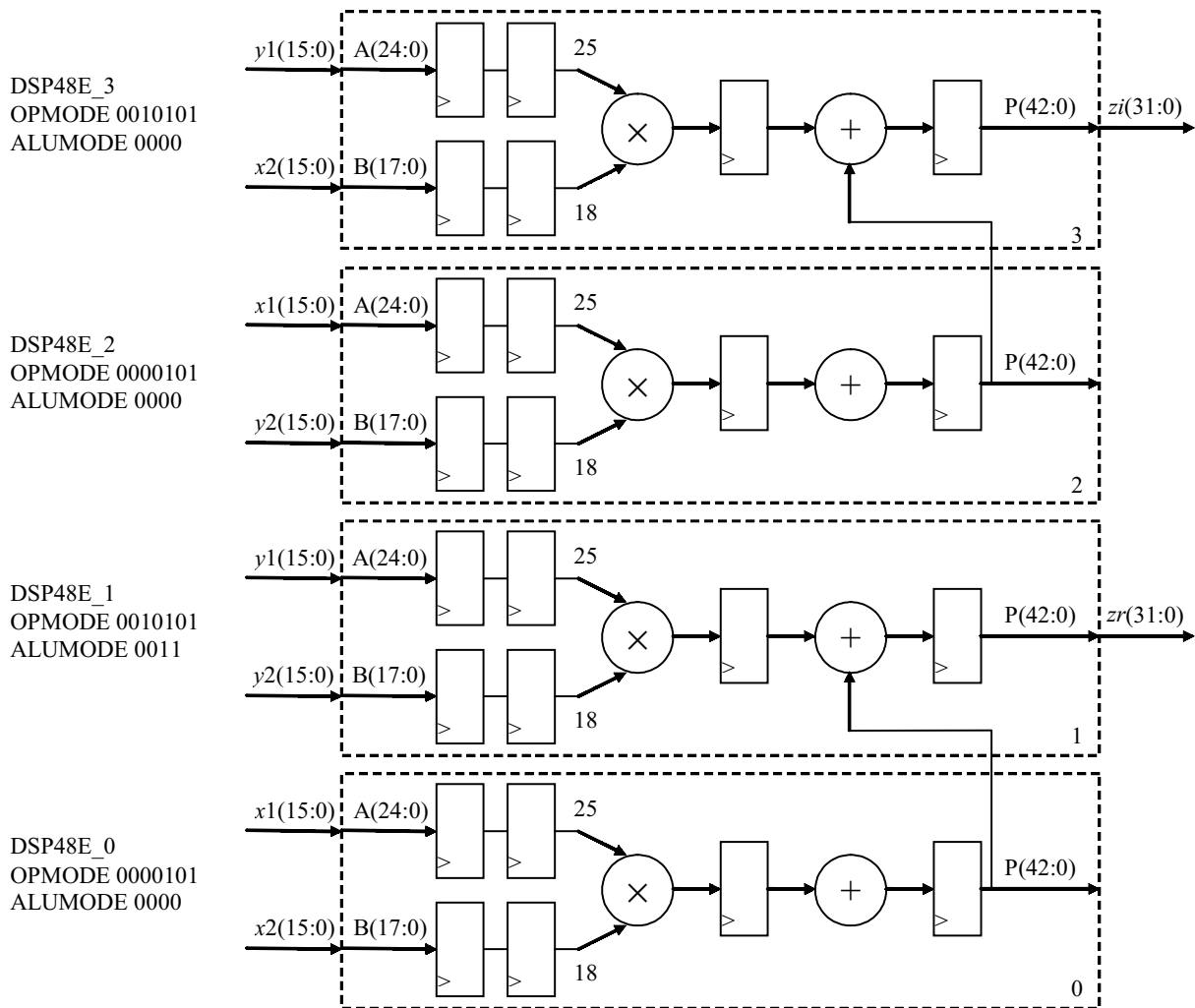


Рис. 3. Блок-схема модуля умножения на базе четырех DSP48E

Аппаратные и временные характеристики модуля умножения 2

Тип кристалла	Разрядность модуля	Тип умножителя	Количество секций (Slices)	Количество умножителей	Количество FF	Количество LUT	Частота, МГц
XC3S400-5FG456	16	LUT	607	—	128	1018	47
		Mult18x18	88	3	128	112	72
	32	LUT	2039	—	256	3596	28
		Mult18x18	344	12	256	557	41
XC5VLX30-3FF676	16	LUT	314	—	128	1156	120
		DSP48E	30	3	64	48	147
	32	LUT	1041	—	256	3986	68
		DSP48E	88	12	256	224	90

Такая схема будет содержать не четыре, а три умножителя и пять сумматоров вместо двух. Поведенческое описание схемы модифицированного модуля умножения двух комплексных чисел (модуля умножения 2) на языке VHDL приведено в листинге 2.

Листинг 2

```

Поведенческое описание модуля умножения 2
entity mult_n is
generic (N : integer:=16);
Port (x1 : in std_logic_vector(N-1 downto 0);
      x2 : in std_logic_vector(N-1 downto 0);
      y1 : in std_logic_vector(N-1 downto 0);
      y2 : in std_logic_vector(N-1 downto 0);
      clk : in std_logic;
      zr : out std_logic_vector(2*N-1 downto 0);
      zi : out std_logic_vector(2*N-1 downto 0));
end mult_n;
architecture Behavioral of mult_n is
signal t1, t2, t3, t4 : std_logic_vector(N-1 downto 0);
signal s1, s2, s3 : std_logic_vector(N-1 downto 0);
signal p1, p2, p3, t5, t6 : std_logic_vector(2*N-1 downto 0);
begin
process (clk)
begin
if (clk'event and clk='1') then
t1<=x1; t2<=x2; t3<=y1; t4<=y2; zr<=t5; zi<=t6;
end if;
end process;
s1<=t2+t4; s2<=t1+t3; s3<=t3-t1;
p1<=t1*s1; p2<=t4*s2; p3<=t2*s3;
t5<=p1-p2; t6<=p1+p3;
end Behavioral;
    
```

Аппаратные и временные характеристики модуля умножения 2 приведены в табл. 3.

Затраты ресурсов и быстродействие для 16-разрядного IP-модуля умножения комплексных чисел фирмы Xilinx в кристалле XC3S400-5FG456 составляют: количество умножителей Mult18x18 — 3, секций (Slices) — 85, триггеров (FF) — 163, блоков LUT — 117, частота 85 МГц.

Верификация модуля умножения проводится путем подачи массива каких-либо чисел на входы модуля и анализа полученных результатов на его выхо-

дах. Массив входных чисел (воздействий) может носить случайный или функциональный характер. Для формирования такого массива с целью быстрой оценки результатов при моделировании (экспресс-анализа) целесообразно использовать генераторы синусоидальных сигналов, что позволяет получить на выходах модуля прогнозируемые и наглядные результаты без проведения арифметических вычислений. На рис. 4 представлена блок-схема стенда, состоящая из четырех генераторов, формирующих синусоидальные (косинусоидальные) сигналы с частотами  $F1$ ,  $F2$ , и коммутатора, сигналы с выходов которых подаются на входы модуля умножения. При реализации такой схемы функционирование модуля осуществляется в соответствии с формулами

$$\sin(\alpha+\beta)=\sin\alpha\cdot\cos\beta+\cos\alpha\cdot\sin\beta;$$

$$\cos(\alpha+\beta)=\cos\alpha\cdot\cos\beta-\sin\alpha\cdot\sin\beta;$$

$$\sin(\alpha-\beta)=\sin\alpha\cdot\cos\beta-\cos\alpha\cdot\sin\beta;$$

$$\cos(\alpha-\beta)=\cos\alpha\cdot\cos\beta+\sin\alpha\cdot\sin\beta.$$

Работа схемы выполняется за 2 цикла. В первом цикле на входы  $x1$  и  $y1$  подаются сигналы  $\sin F1$  и  $\cos F1$ , соответственно, во втором цикле — сигналы  $\cos F1$  и  $\sin F1$ . На входы  $x2$  и  $y2$  в первом и втором циклах подаются сигналы  $\cos F2$  и  $\sin F2$ . В результате умножения в первом цикле на выходе  $zr$  должен присутствовать сигнал синусоидальной формы, а на выходе  $zi$  — косинусоидальной формы с разностной частотой  $F1-F2$ . Во втором цикле на выходе  $zr$  должен быть сигнал косинусоидальной формы, а на выходе  $zi$  — синусоидальной формы с суммарной частотой  $F1+F2$ .

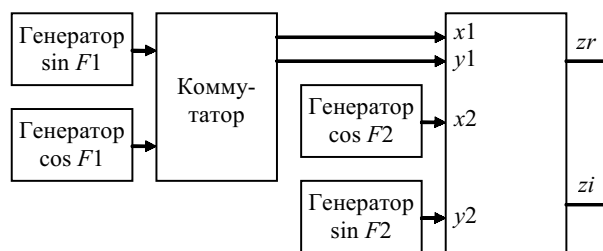


Рис. 4. Блок-схема стенда для верификации модуля умножения

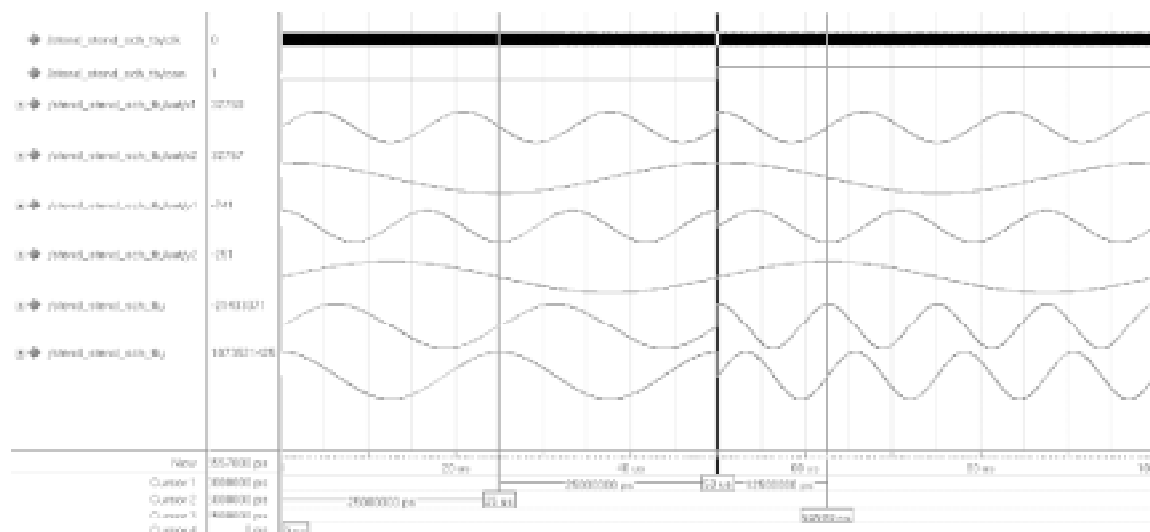


Рис. 5. Временная диаграмма работы модуля умножения

На рис. 5 представлена временная диаграмма, полученная при моделировании модуля умножения с 16-разрядными входными операндами и частотами  $F1=60$  КГц,  $F2=20$  КГц. На выходах  $zr$  и  $zi$  в первом цикле получены сигналы с частотой 40 КГц, во втором — с частотой 80 КГц.

Операция деления комплексных чисел может быть выполнена IP-модулем, сформированным с помощью инструментальных средств Core Generator, или модулем, создаваемым компилятором Xilinx Synthesis Technology (XST) на основе поведенческого HDL-описания. IP-модуль деления с фиксированной точкой выполняет деление в двух режимах: с целым остатком и дробным остатком. В режиме деления с целым остатком делимое равно сумме частного, умноженного на делитель, и остатка. Результат частного и остаток представлены на двух разных выходах целыми числами. В режиме деления с дробным остатком последний равен частному от деления целого остатка (IntRmd) на делитель (Divisor) и представлен на выходе целым числом в виде:  $(\text{IntRmd}/\text{Divisor}) \times 2^F$  для чисел без знака и  $(\text{IntRmd}/\text{Divisor}) \times 2^{(F-1)}$  для чисел со знаком ( $F$  — разрядность двоичного кода остатка  $F_{\max}=32$ ).

IP-модуль использует конвейерный принцип вычисления и позволяет выбрать количество синхросигналов  $Clk$ , требуемых для выполнения одной операции деления из ряда 1, 2, 4, 8. Задержка появления результата на выходе от начала загрузки операндов определяется произведением  $T_{clk} \times L$ , где  $L$  — число

Таблица 4

Задержка появления результата на выходе IP-модуля деления

Тип остатка	$Clk$	Задержка для операндов без знака, $L$	Задержка для операндов со знаком, $L$
целый	1	$M+2$	$M+4$
целый	$>1$	$M+3$	$M+5$
дробный	1	$M+F+2$	$M+F+4$
дробный	$>1$	$M+F+3$	$M+F+5$

импульсов  $Clk$ , сформированных за этот отрезок времени. Величина этой задержки, зависящая от разрядности делимого ( $M$ ), типа модуля, числа синхросигналов, требуемых для выполнения одной операции, разрядности двоичного кода остатка, приведена в табл. 4.

Для кристалла XC3S400-5FG456 частота синхросигналов  $Clk$  при делении составляет: для 16-разрядных чисел 160—180 МГц; для 32-разрядных — 110—120 МГц. В табл. 5 приведены аппаратные и временные характеристики модуля деления.

Указанные IP-модули используются, в основном, при работе с массивами обрабатываемых данных. При выполнении единичных операций деления целесообразно использовать более простой модуль, реализующий операцию деления путем последовательного вычитания делителя из делимого. Разрабо-

Таблица 5

Аппаратные и временные характеристики модуля деления

Размерность операндов	16 разрядов								32 разряда							
	целый				дробный				целый				дробный			
$Clk$	1	2	4	8	1	2	4	8	1	2	4	8	1	2	4	8
Количество Slices	520	402	273	210	1025	743	465	329	1868	1346	1232	544	3582	2632	1492	934
Количество FF	934	619	422	324	1838	1099	674	463	3465	2029	806	837	7124	3915	2198	1347
Количество LUT	353	371	236	168	610	636	361	223	1217	1252	724	460	2242	2294	1230	697



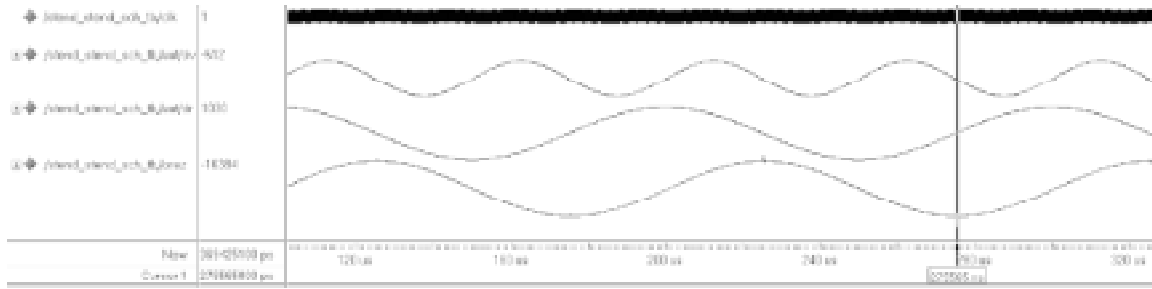


Рис. 6. Временная диаграмма работы модуля деления двух чисел со знаком

Таблица 6  
Аппаратные и временные характеристики модуля деления 2

Тип кристалла	XC3S400-5FG456		XC5VLX30-3FF676	
Разрядность модуля	16	32	16	32
Количество секций (Slices)	148	291	106	231
Количество FF	86	167	86	167
Количество LUT	243	494	239	483
Частота, МГц	120	85	260	200

таный модуль при равном количестве разрядов делимого и делителя осуществляет операцию деления за время, равное произведению  $T_{Clk} \times (N+2)$ , где  $N$  — разрядность операнда. В табл. 6 приведены аппаратные и временные характеристики для разработанного модуля деления 2.

На рис. 6 изображена временная диаграмма, полученная при моделировании модуля деления с дробным остатком для двух 16-разрядных чисел со знаком. В качестве сигнала делимого на вход модуля подается синусоидальный сигнал с частотой 20 КГц, в качестве делителя — косинусоидальный сигнал с частотой 10 КГц. На выходе модуля формируется синусоидальный сигнал с частотой 10 КГц.

Блок-схема модуля деления комплексных чисел изображена на рис. 7.

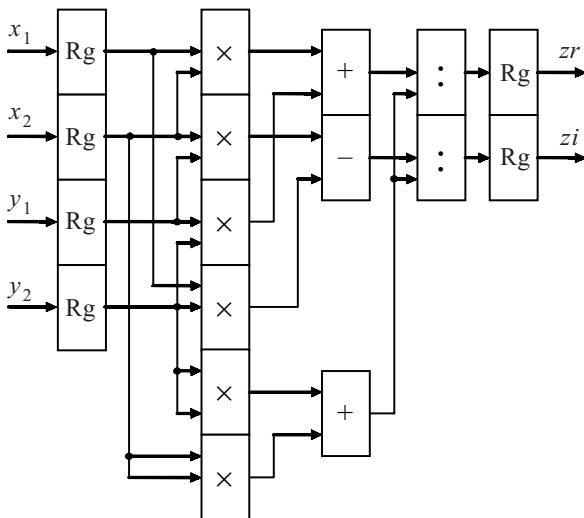


Рис. 7. Блок-схема модуля деления двух комплексных чисел

Модуль содержит 16-разрядные умножители с 32-разрядными выходами, 32-разрядные сумматоры и делители. Поведенческое описание модуля на языке VHDL приведено в листинге 3.

Листинг 3

```

Поведенческое описание модуля деления
entity div_complex is
generic (N: integer:=16);
Port (x1 : in std_logic_vector (N-1 downto 0);
      x2 : in std_logic_vector (N-1 downto 0);
      y1 : in std_logic_vector (N-1 downto 0);
      y2 : in std_logic_vector (N-1 downto 0);
      clk : in std_logic;
      ce : in std_logic;
      zr : out std_logic_vector (2*N-1 downto 0);
      zi : out std_logic_vector (2*N-1 downto 0);
      rdy : out std_logic;
      err : out std_logic);
end div_complex;
architecture Behavioral of div_complex is
signal x1q, x2q, y1q, y2q :
std_logic_vector(N-1 downto 0):=(others=>'0');
signal ddr, ddi, drri :
std_logic_vector(2*N-1 downto 0):=(others=>'0');
signal err_r, err_i, rdy_r, rdy_i: std_logic:='0';
component division
PORT(dd : IN std_logic_vector(31 downto 0);
      dr : IN std_logic_vector(31 downto 0);
      ce : IN std_logic;
      clk : IN std_logic;
      err : OUT std_logic;
      rdy : OUT std_logic;
      qt : OUT std_logic_vector(31 downto 0);
      rmd : OUT std_logic_vector(31 downto 0));
END COMPONENT;
begin
u1: division port map (dd=>ddr, dr=>drri, ce=>ce,
clk=>clk, err=>err_r, rdy=>rdy_r, qt=>zr);
u2: division port map (dd=>ddi, dr=>drri, ce=>ce,
clk=>clk, err=>err_i, rdy=>rdy_i, qt=>zi);
ddr<=x1q*x2q+y1q*y2q;
ddi<=x2q*y1q-x1q*y2q;
drri<=x2q*x2q+y2q*y2q;
err<=err_r or err_i;
rdy<=rdy_r and rdy_i;
process (clk)
begin
if (clk'event and clk='1') then
x1q<=x1; x2q<=x2; y1q<=y1; y2q<=y2;
end if;
end process;
end Behavioral;
    
```

Таблица 7  
Аппаратные и временные характеристики модуля деления

Тип кристалла	XC3S400-5FG456	XC5VLX30-3FF676
Тип умножителя	Mult18×18	DSP48E
Количество секций Slices	656	360
Количество умножителей	6	6
Количество FF	462	398
Количество LUT	1083	964
Частота, МГц	70	130

Аппаратные и временные характеристики модуля деления комплексных чисел приведены в табл. 7.

Таким образом, физическая верификация функционирования модулей, выполняющих арифметические операции с комплексными числами, проведена с использованием блока Spartan-3-400 Evaluation Kit, подключаемого к шине PCI персонального компьютера. Верификация разработанных модулей осуществляется с помощью программного комплекса, ко-

торый включает драйвер устройства, библиотеку функций для работы с драйвером, программу для верификации каждого модуля в отдельности.

Тестирование подтвердило, что модули работают корректно и могут быть использованы в любых проектах в виде готовых библиотечных блоков.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Акушский И. Я., Амербаев В. М., Пак И. Т. Основы машинной арифметики комплексных чисел.— Алма-Ата: Наука, 1973.
2. Палагин А. В., Опанасенко В. Н. Реконфигурируемые вычислительные системы.— К.: Просвіта, 2006.
3. Xilinx ISE 9 Software Manuals / Available at <http://www.xilinx.com>
4. ModelSim® Xilinx. User's Manual. Version 6.1e / Available at <http://www.xilinx.com>
5. Spartan-3 FPGA Family: Complete Data Sheet / Available at <http://www.xilinx.com>
6. Virtex-5 LX Platform Overview / Available at <http://www.xilinx.com>
7. Using Embedded Multipliers in Spartan-3 FPGAs. Xapp467 / Available at <http://www.xilinx.com>
8. Virtex-5 SXT Platform. Technical Backgrounder / Available at <http://www.xilinx.com>

ВЫСТАВКИ. КОНФЕРЕНЦИИ

