

**Заключення.** На основі отриманих в результаті дослідження даних планується розробити методи, які дозволять оптимізувати існуючі алгоритми ранжування сайтів в пошуковій видачі. Це дозволить зробити пошук інформації в мережі Інтернет більш простим і зручним, що значно зекономить час користувачів мережі.

1. *Volodymyr Stepashko, Oleksandra Bulgakova, Viacheslav Zosimov.* Modified multilayered GMDH algorithm with combinatorial optimization of partial descriptions complexity. – Proceedings of the International Workshop on Inductive Modelling IWIM-2010, Ukraine. – Yevpatoria, 2010.
2. *Зосимов В.В., Булакова А.С.* Проектирование программного модуля для исследования работы алгоритмов поисковых систем.
3. *Байков В.Д.* Интернет. Поиск информации. Продвижение сайтов. — СПб.: БХВ-Петербург, 2000. — С. 288.
4. *Колисниченко Денис Николаевич* Поисковые системы и продвижение сайтов в Интернете. — М.: «Диалектика», 2007. — С. 272.
5. *Ашманов И.С., Иванов А.А.* Продвижение сайта в поисковых системах. — М.: «Вильямс», 2007. — С. 304.
6. *Ivakhnenko A.G.* Group method of data handling - competitor for the method of stochastic approximation, Soviet Automatic Control, No. 3, pp. 58-72, 1968.
7. *Stepashko V.S.* Combinatorial GMDH algorithm with the optimal scheme of models sorting-out, Soviet Automatic Control, No. 3, pp. 31-36, 1981.
8. *Bulgakova O., Kordik P.* Methods of true data mining model selection - with experimental results. Proceedings of IWIM 2009 in Krynica, Poland, pp. 23-27, 2009.

*Поступила 17.03.2011р.*

УДК 004.3

Н.С. Фролова, Національний авіаційний університет, Київ  
О.О. Бакіна, Національний авіаційний університет, Київ

## **ПЕРСПЕКТИВИ МІНІМІЗАЦІЇ ЛАТЕНТНОСТІ ОПЕРАТИВНОЇ ПАМ'ЯТІ**

Basic progress of technologies of main memory trends are analyzed. The features of the modules of memory of DDR3 are considered in relation to the increase of carrying capacity due to minimization of delays.

**Вступ.** Зі збільшенням пропускної здатності оперативної пам'яті значно збільшуються затримки доступу до пам'яті, що призводить до простою процесора. Тому пошук альтернативних шляхів прискорення роботи з пам'яттю, а саме знаходження та реалізація способів зменшення латентності є найактуальнішою проблемою, що стоїть перед розробниками.

## Тенденції розвитку технологій оперативної пам'яті.

Найпоширенішим стандартом пам'яті SDRAM є DDR, який згодом еволюціонував у DDR2. Це призвело до таких удосконалень як наприклад заміна «2n-передвибірки» (*2n-prefetch*) на «4n-передвибірки» (*4n-prefetch*): з одного боку, для досягнення пікової пропускної здатності можна використовувати вдвічі меншу внутрішню частоту мікросхем пам'яті, а з іншого боку, при однаковій внутрішній частоті функціонування мікросхем DDR та DDR2 останні будуть характеризуватися вдвічі більшою теоретичною пропускною здатністю [1]. Однак очевидним недоліком цього нововведення є істотне збільшення затримок.

Подальший розвиток технології пам'яті DDR2 став аналогічним розвитку її попереднього покоління, пам'яті DDR і з'явився новий стандарт – DDR3. Очевидно, що принцип, що лежить в основі переходу від DDR2 до DDR3, в точності повторює ідею, закладену при переході від DDR до DDR2. А саме, DDR3 - це «все та ж DDR SDRAM», тобто передача даних як і раніше здійснюється по обох напівперіодах синхросигналу на подвоєній «ефективній» частоті щодо власної частоти шини пам'яті. Тільки продуктивність виросла в 2 рази, в порівнянні з DDR2 - типовими швидкісними категоріями пам'яті нового стандарту DDR3 є різновиди від DDR3-800 до DDR3-1600 і вище. Чергове збільшення теоретичної пропускної здатності компонентів пам'яті в 2 рази пов'язане із зниженням їх внутрішньої частоти функціонування в стільки ж разів. Тож ширина внутрішньої шини даних мікросхем пам'яті виявиться вже в 8 разів більше в порівнянні з шириною їх зовнішньої шини. Очевидно, така схема передачі даних з розглянутим перетворенням типу «8-1» називатиметься схемою «8n-передвибірки» (*8n-prefetch*).

Переваги при переході від DDR2 до DDR3 є тими ж, що і при що відбулося раніше переході від DDR до DDR2: з одного боку, це зниження енергоспоживання компонентів в умовах рівності їх пікової пропускної спроможності (DDR3-800 проти DDR2-800), з іншого боку - можливість подальшого нарощування тактової частоти і теоретичної пропускної здатності при збереженні колишнього рівня «внутрішньої» частоти компонентів (DDR3-1600 проти DDR2-800). Тими ж будуть і недоліки - подальший розрив між «внутрішньою» і «зовнішньою» частотою шин компонентів пам'яті буде приводити до ще більших затримок (табл. 1, 2) [2].

З вище сказаного зрозуміло, що з переходом від одного стандарту до іншого (DDR→DDR2→DDR3) істотно збільшуються затримки, тобто DDR3 має найвищу латентність. Оскільки саме затримки є одним із основних критеріїв при виборі оперативної пам'яті, то виникає питання: чи доцільно використовувати цю пам'ять? Порівняємо DDR2 та DDR3 з точки зору латентності.

Кількість логічних банків в мікросхемах DDR3 збільшено вдвічі в порівнянні з типовим значенням для DDR2 (4 банки) і становить 8 банків, що

теоретично дозволяє збільшити «паралелізм» при зверненні до даних за схемою чергування логічних банків і приховати затримки, пов'язані зі зверненням до одного й того ж рядка пам'яті .

Таблиця 1

Загальні швидкості пам'яті DDR3 і специфікації

<b>Тип</b>	<b>Частота шини</b>	<b>Швидкість передачі даних</b>	<b>Таймінги</b>
<i>1</i>	<i>2</i>	<i>3</i>	<i>4</i>
PC3-8500	533	1066	7-7-7-20
PC3-10666	667	1333	7-7-7-20
PC3-12800	800	1600	9-9-9-24
PC3-14400	900	1800	9-9-9-24
PC3-16000	1000	2000	TBD

Таблиця 2

Загальні швидкості пам'яті DDR2 і специфікації

<b>Тип</b>	<b>Частота шини</b>	<b>Швидкість передачі даних</b>	<b>Таймінги</b>
<i>1</i>	<i>2</i>	<i>3</i>	<i>4</i>
PC2-3200	200	400	3-3-3-12
PC2-4200	267	533	4-4-4-12
PC2-5300	333	667	5-5-5-15
PC2-6400	400	800	5-5-5-15
PC2-8000	500	1000	5-5-5-15
PC2-8500	533	1066	5-5-5-15
PC2-8888	556	1111	5-5-5-15
PC2-9136	571	1142	5-5-5-15
PC2-10000	625	1250	5-5-5-18

Відмінною особливістю схемотехнічного дизайну модулів пам'яті DDR3 є застосування «наскрізної» (fly-by) архітектури передачі адрес і команд, а також сигналів управління і тактової частоти окремим мікросхемам модуля пам'яті з застосуванням зовнішнього термінування сигналів (резистором, розташованим на модулі пам'яті) [3]. Ця архітектура (рис. 1) дозволяє домогтися збільшення якості передачі сигналів, що необхідно при функціонуванні компонентів при високих частотах, типових для пам'яті DDR3 і не потрібно для компонентів пам'яті стандарту DDR2.

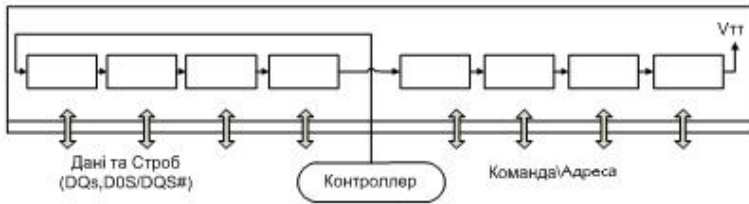


Рис. 1. «Наскрізна» (fly-by) архітектура передачі сигналів в модулях пам'яті DDR3

Розглянемо різницю між способом подачі адрес і команд, сигналів управління і тактової частоти в модулях пам'яті DDR2 і DDR3 (на прикладі модулів, фізичний банк яких складений з 8 мікросхем розрядністю x8) (рис. 2). У модулях пам'яті DDR2 подача адрес і команд здійснюється паралельно на всі мікросхеми модуля, у зв'язку з чим, наприклад, при зчитуванні даних, всі вісім 8-бітних елементів даних виявляться доступними в один і той же момент часу (після подачі відповідних команд і закінчення відповідних затримок) і контролер пам'яті зможе одночасно прочитати всі 64 біта даних.

У той же час, в модулях пам'яті DDR3 внаслідок застосування «наскрізної» архітектури подачі адрес і команд кожна з мікросхем модуля отримує команди і адреси з певним відставанням щодо попередньої мікросхеми, тому елементи даних, відповідно певної мікросхеми, також виявляться доступними з деяким відставанням щодо елементів даних, що відповідають попередній мікросхемі в ряду, що становить фізичний банк модуля пам'яті. У зв'язку з цим, з метою мінімізації затримок, в модулях пам'яті DDR3, в порівнянні з модулями DDR2, реалізований дещо інший підхід до взаємодії контролера пам'яті з шиною даних модуля пам'яті. Він називається «регулюванням рівня читання / запису» (read / write leveling) і дозволяє контролеру пам'яті використовувати певне зміщення за часом при прийомі / передачі даних, що відповідає «запізнювання» надходження адрес і команд (а отже, і даних) в певну мікросхему модуля [4]. Цим досягається одночасність зчитування (запису) даних з мікросхем (в мікросхеми) модуля пам'яті.

Перейдемо від теорії до практики, та порівняємо у тестовому режимі латентність оперативної пам'яті рівночастотних DDR2-1066 та DDR3-1066. Звичайно, із загальних міркувань слід очікувати більшу величину затримок для останньої (враховуючи, хоча б, більшу схему таймінгів 7-7-7 проти 5-5-5 для DDR2), однак подивимося, якою насправді буде різниця по затримках (рис. 3).

Отже, затримки при доступі в пам'ять типу DDR3-1066, природно, виявляються вищими порівняно з доступом в пам'ять типу DDR2-1066. Відносне збільшення затримок становить приблизно 13% при

псевдовипадковому доступі і приблизно 16% - при істинно випадковому доступі. Тим не менше, якщо врахувати, що різниця між схемами таймінгів 7-77-21 і 5-5-5-15 становить цілих 40%, реально бачимо, що збільшення затримок при переході від DDR2 до DDR3 виглядає більш ніж прийнятним.

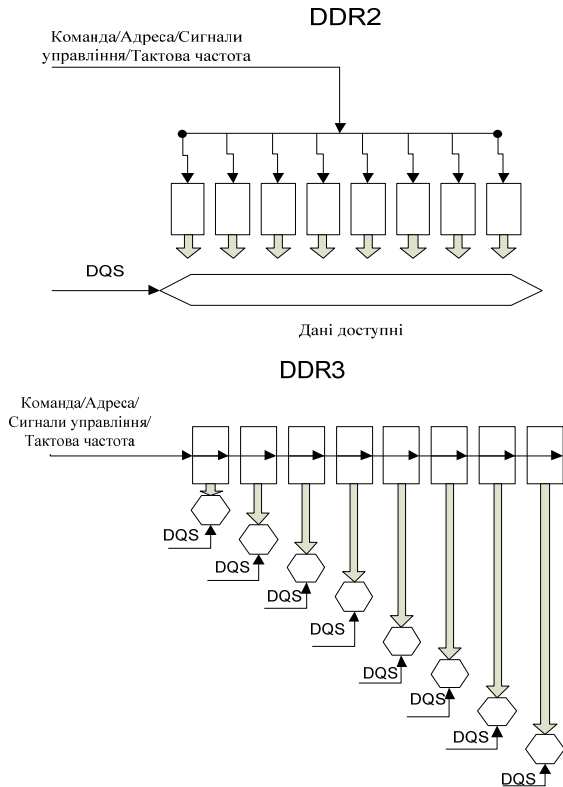


Рис. 2. Регулюванням рівня читання / запису (read / write leveling) в модулях пам'яті DDR3

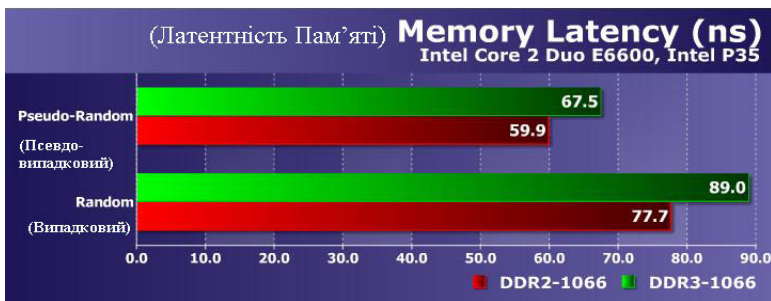


Рис. 3. Латентність пам'яті DDR2 та DDR3

Швидкісні характеристики DDR3 як мінімум не поступаються, а у ряді випадків і дещо перевершують характеристики аналогічних модулів пам'яті поточного стандарту DDR2. Порівняно невеликим виявилось і відносне зростання затримок (13-16%) при переході від DDR2 до DDR3 за інших рівних умов. А якщо врахувати, що розвиток технологій пам'яті в основному йде шляхом одночасного росту тактових частот і зниження затримок, майбутнє покоління DDR3 цілком зможе скоротити вказаний розрив, а то і зовсім вигравати по затримках у DDR2.

**Висновки.** Таким чином, технології оперативної пам'яті дуже стрімко розвиваються, усуваючи недоліки та знаходячи все нові способи удосконалення. І хоча проблема латентності для даного стандарту не має остаточного ефективного вирішення можна впевнено відповісти на питання, яке виникло в ході порівняння: стандарт оперативної пам'яті DDR3 доцільно використовувати оскільки цей тип пам'яті надає можливість подальшого нарощування тактової частоти і теоретичної пропускної здатності при збереженні колишнього рівня «внутрішньої» частоти компонентів. Яскравим доказом цього є стан сучасного ринку оперативної пам'яті, де стандарт DDR3 практично повністю витіснив своїх попередників.

DDR3 на сьогодні є сформованим продуктом, а отже, навряд чи для цього стандарту буде здійснено технологічний прорив в плані зменшення затримок. Тому розробникам потрібно вже зараз зосереджувати свої зусилля на вирішення проблеми латентності для наступних поколінь оперативної пам'яті.

1. <http://www.bytemag.ru/articles/detail.php?ID=12477>
2. <http://www.windxp.com.ru/memddr.htm>
3. <http://www.ixbt.com/mainboard/ddr2-rmma.shtml>
4. <http://www.ixbt.com/mainboard/ddr3-rmma.shtml>
5. <http://hardwareguide.ru/ram/%D1%82%D0%B0%D0%B9%D0%BC%D0%B8%D0%BD%D0%B3%D0%B8.html>

*Поступила 7.04.2011р.*