



УДК 381.326

А. И. Андрухин, канд. техн. наук
Донецкий национальный технический университет
(Украина, 83005, Донецк, ул. Артема, 24,
тел. (062) 301-07-75, E-mail-alexandruckin@rambler.ru)

Смешанное моделирование цифровых систем на переключательном и логико-функциональном уровнях

(Статью представил д-р техн. наук В. П. Симоненко)

Рассмотрены особенности логического моделирования на переключательном и логико-функциональном уровнях, выполнен их сравнительный анализ. Дан краткий обзор проблем и методов моделирования на этих уровнях. Исследована возможность моделирования исправных цифровых схем и схем с неисправностями при их смешанном представлении на указанных уровнях.

Розглянуто особливості логічного моделювання на перемикальному та логічно-функціональному рівнях, виконано їхній порівнювальний аналіз. Наведено короткий огляд проблем і методів моделювання на цих рівнях. Досліджено можливість моделювання справних цифрових схем і схем з несправностями при їхньому змішаному представленні на вказаних рівнях.

К л ю ч е в ы е с л о в а: переключательный уровень, смешанное моделирование, цифровая система.

Постановка задачи. На первых этапах проектирования современных СБИС возникает проблема описания компонентов: для одних компонентов используются обозначения вентильно-функционального уровня, а для других — схемотехнического (транзисторного) или переключательного уровня. На рис. 1 представлены варианты реализации простейшего мультиплексора $2 \rightarrow 1$ различными способами проектирования МОП-структур с использованием проходных транзисторов (DPL—двойная логика на проходных транзисторах, CPL—комплементарная логика на проходных транзисторах, DRTL—дифференциальная логика на проходных транзисторах, EEPPL—энерго-экономичная логика на проходных транзисторах, PPL—push-pull логика и др.) [1, 2]. Простой путь решения этой проблемы—перевод описания компонентов с вентильного на транзисторный уровень и далее применение системы моделирования на переключательном уровне. Однако для разра-

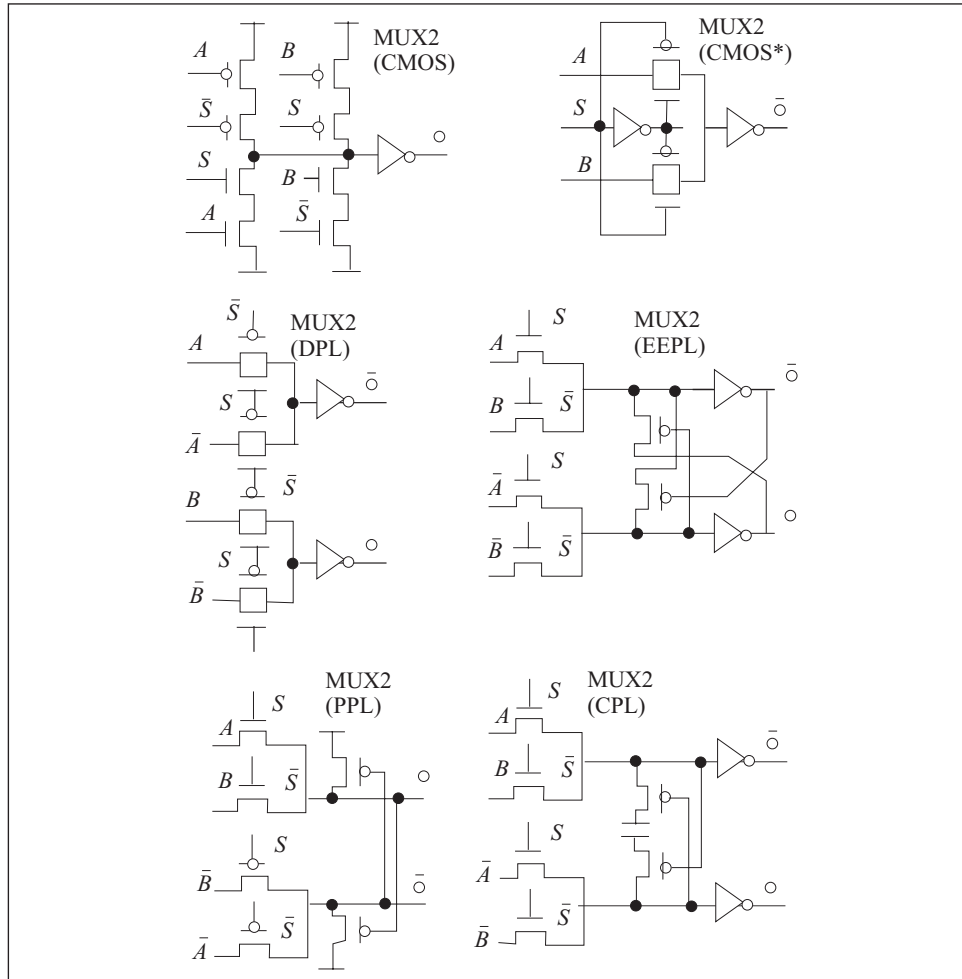


Рис. 1. Схемы смешанного проектирования мультиплексора 2 → 1

ботчика более комфортно иметь подобное смешанное представление и возможность моделировать и верифицировать именно его.

Вентильно-функциональный уровень моделирования. Основным уровнем при верификации проектов и построении тестов является логико-функциональный уровень. Область модификаций двух основных способов моделирования на этом уровне — моделирования, управляемого временем, и моделирования, управляемого событиями, — детально исследована и апробирована. В настоящее время основные усилия на этом уровне направлены на повышение эффективности асинхронного параллельного

моделирования (управляемого событиями), которое наиболее интенсивно используется в распределенных вычислительных структурах [3—5].

Для синхронизации процессов применяют модификации двух основных подходов: консервативного и оптимистического. Для консервативных алгоритмов важна известная проблема распознавания и предотвращения тупиков (deadlock), из оптимистических алгоритмов наиболее известен Time Warp [3—5]. Основной класс моделируемых неисправностей — класс одиночных константных неисправностей; неофициальный критерий эффективности теста — его покрывающая способность для этого класса, что не является достаточным для современных КМОП-технологий. Необходимо заметить, что на практике широко используются функциональные тесты.

Переключательный уровень. Моделирование на переключательном уровне широко используется при анализе современных МОП-схем, которыми являются большинство промышленных микропроцессоров и элементов памяти. Развитие этого направления моделирования обусловлено необходимостью тестирования МОП-структур, для которых реальные дефекты плохо описываются классической моделью одиночных константных неисправностей. Тесты, построенные на основе этой модели, не обнаруживают характерные дефекты МОП-схем [6]. Первый наиболее известный способ тестирования неклассических неисправностей для МОП-структур описан в [7].

Теоретическим фундаментом большинства известных систем моделирования на переключательном уровне являются различные модификации двух основных направлений: теории решеток [8] и теоретико-графового подхода [9]. Они в различной форме представляют основные принципы простого переключательного анализа МОП-структур, соответствующие их особым резистивно-емкостным свойствам.

1. Транзистор — идеальный переключатель. Если на затворе n -МОП транзистор имеет высокий потенциал H (логическая 1), то транзистор может быть представлен малым резистором. Если на затворе n -МОП транзистор имеет низкий потенциал L (логический 0), то транзистор может быть представлен очень большим сопротивлением. Когда значение затвора не определено (ни H , ни L), тогда транзистор представлен сопротивлением неопределенного значения.

2. Сопротивление транзистора, работающего в режиме обеднения, гораздо больше сопротивления открытого транзистора (режим обогащения), но гораздо меньше сопротивления закрытого транзистора.

3. Узел, соединенный с землей и питанием только через пути высокого сопротивления, может сохранять предыдущий уровень напряжения определенное время (даже несколько секунд при определенных условиях). Узел, соединенный с землей и питанием через пути с малым сопротив-

лением, может иметь неопределенный уровень напряжения. Часто создают более сложные правила, назначая некоторые границы сопротивлений транзисторов в результате рассмотрения характеризующих их параметров.

По этому пути пошли создатели системы Verilog, выделив приблизительно два десятка используемых при проектировании переключательных примитивов и в стандарте IEEE 1364-2001 определив их функции ослабления сигнала с помощью модификатора силы сигнала Strength. Например для транзисторов, используемых как резисторы (rpmos, rnmos и др.), в таблице 38 этого стандарта указаны соответствующие входные и выходные силы сигналов.

В [10] рассмотрена модификация МОП-структур линейными переключательными моделями (*LSL*), в которых базовыми элементами являются управляемые напряжением резисторы и линейные емкости, соответствующие транзистору и узлу схемы. Показано, что задача определения максимального и минимального значения состояния в устройстве является *NP*-задачей, и этим оправдывается использование эвристических методов при моделировании на переключательном уровне. В [11] приведены примеры схем, для которых подходы Брайента или Хейеса дают неправильные или неопределенные результаты.

Работа [12] посвящена функциональному описанию дискретных схем на переключательном уровне. Введено понятие характеристической функции, под которой понимается описание выходных реакций базового компонента схемы в зависимости от значений входных сигналов. На основе теории характеристических функций может быть получено описание поведения схемы в форме булевых уравнений, учитывающих различные модификации известных моделей полевых и биполярных транзисторов. В [13] предложен унифицированный подход к описанию и моделированию различных компонентов МОП-структур на основе единого базового примитива, а в работе [14] рассмотрено моделирование биполярных схем на уровне переключений.

Моделирование, управляемое событиями на переключательном уровне, исследовано в работе [15], где схема рассматривается как граф, ориентированным ребрам которого сопоставлены активные транзисторы, а вершинам — соответственно узлы схемы. Транзисторные переключения в активное или пассивное состояния обуславливают добавление или удаление ребер в графе устройства. Поскольку число действительно двунаправленных транзисторов в схемах достаточно мало (<5 %), исследованию подлежат только те стоки, истоки которых реально динамически меняют свою направленность. Определяется функция передачи транзисторов $\delta(s_k, r_i) = s_k - r_i$, равная $s_{\max(n+1, k-i)}$, если $k > n$, или равная s_k в противном случае.

Здесь проводимости и силы сигналов транзисторов обозначены соответственно r_i ($0 \leq i \leq n$) и s_k ($0 \leq k \leq 2n + 1$). Сумма проводимостей транзисторов определяется из выражения $r_k + r_l = r_{\min(n, k+l)}$. Для любых двух вершин u, v , имеющих силы $s(u), s(v)$, определяется направление $\text{direction}(e_{uv}) = 0$, если $s(u) = s(v)$, и $\text{direction}(e_{uv}) = u \rightarrow v$ ($v \rightarrow u$), если $s(u) > s(v)$ ($s(v) > s(u)$).

Моделирование на переключательном уровне формулируется как проблема нахождения кратчайшего пути в графе. При этом использован алгоритм Форда, адаптированный Муром, вместо применяемого в известной системе MOSSIM алгоритма Вагнера FLOW. Собственно ход моделирования определяется следующим алгоритмом:

$$\begin{aligned} & \text{Short}(u) \{ \text{Foreach edge } e_{uv} \{ \text{if } (s(u) \geq \\ & = s(v) \{ \text{if } (s(u) > s(v)) \text{direction}(e_{uv}) = u \rightarrow v, \\ & s_{out} = \delta(s(u) r(e_{uv})); \text{if changed } s_{out} \text{ que}(v, s_{out}) \} \} \}. \end{aligned}$$

В [16] исследованы отношения между моделями схем на переключательном уровне и линейными электрическими схемами, из которых первые абстрагированы. Эта работа важна для определения точности и содержательности программ моделирования на переключательном уровне. В ней состояние МОП-схемы описано сопротивлениями транзисторов: закрытые или открытые транзисторы представлены соответственно большими или малыми сопротивлениями. Через r_s (r_p) обозначены сопротивления моделей, в которых все присутствующие сопротивления r_i ($i \leq n$) соединены последовательно (параллельно) соответственно, т. е. $r_s = \sum r_i$ и $r_p = 1/(\sum (1/r_i))$. Тогда для r_N – сопротивления двухполюсной сети N , в которой соединены n одинаковых сопротивлений r , получаем $r_p \leq r_N \leq r_s$, где $r_p = r/n, r_s = nr$. Поэтому для класса разделения $P(r_i) = \{r_i/n, nr_i\}$ с необходимым условием $P(r_i) \gg P(r_{i+1})$ справедливо соотношение $r_{i+1}/n > nr_i$. Отсюда следует достаточно пессимистическая оценка фактора разделения: больше n^2 . В работе [16] приведены правила вычисления сопротивлений на основе Wang-алгебры для схем с транзисторами, соединенными не только параллельно-последовательно.

Преимущества переключательного моделирования при моделировании неисправностей показаны на примере превращения комбинационной схемы вентиля И-НЕ при неисправности «обрыв транзистора T2» в последовательностную схему [6].

Экспандер. Необходимой частью систем смешанного моделирования, в которых используются компоненты различных иерархических уровней, является экспандер (расширитель) [17, 18]. Алгоритм работы используемого экспандера и конкретные примеры его использования для моделирования схемы s38417 из эталона ISCAS-89 представлены в [19, 20].

Определение информации для моделирования различных классов неисправностей является одной из функций экспандера. При переходе на переключательный уровень генерируются списки неисправностей следующих классов: константные неисправности, обрыв затвора транзисторов, замыкание «сток-исток» транзисторов, обрыв линий. При генерации списков неисправностей необходимо учитывать топологию соединений транзисторов [20]. Например, классы неисправностей DLR-триггера при n -МОП технологии реализации [21, рис. 2.40] рассмотрены в [20].

Результаты анализа списков этих неисправностей свидетельствуют о том, что для рассматриваемой схемы при выбранной технологии изготовления они представляют различные подмножества множества константных неисправностей затворов всех транзисторов схемы. Этот результат указывает на недостаточность использования модели одиночных константных неисправностей для построения контрольного (проверяющего) теста для реальных дефектов.

Решение проблемы. Известно, что при моделировании на вентиляльном уровне предполагаются градации только одной модальности сигнала (состояние сигнала, ассоциируемое с напряжением), на переключательном уровне используются градации двух модальностей сигнала (дополнительно сила сигнала, обычно ассоциируемая с силой тока или проводимостью). Стандартное представление проекта на переключательном уровне представляет собой описание полевых транзисторов, т. е. номера узлов схемы, к которым относятся стоки, истоки и затворы транзисторов (см. описание на esim [1]), составляют числовые массивы $Q1$, $Q2$, $Q3$, T . Первые три содержат номера узлов, к которым подсоединены сток, затвор, исток каждого транзистора схемы, т.е. i -элементы этих массивов описывают i -транзистор. Элемент $T[i]$ определяет тип i -го транзистора и при $T[i] = 0$ получаем нагрузочный транзистор или резистор, при $T[i] = 2$ (3) — соответственно p (n) транзисторы.

Параллельное моделирование исправного устройства описано в [22], где процесс моделирования представлен итерационным решением системы булевых уравнений вида

$$X_{n+1} = M \otimes F(X_n).$$

Здесь X_n — значение многозначных узлов схемы в n -итерации (состояние схемы); M — операция выбора максимального значения из значений сигналов разветвлений узла; F — система булевых уравнений, вид которых зависит от алфавита моделирования и базовых компонентов, составляющих устройство; \otimes — операция суперпозиции. Значение X_n есть двойка (H, G) , где $G \in (0, 1, X, Z)$, $H \in (D, W, SC, C)$ — соответственно значения логического состояния сигнала и его логической силы, которые можно интерпретировать, как напряжение и сила тока.

Будем использовать далее следующую кодировку этого стандартного алфавита сигналов:

$$Z = (0, 0, 0, 0), D = (1, 0, 0, 0), W = (0, 1, 0, 0), SC = (0, 0, 1, 0),$$

$$C = (0, 0, 0, 1), X = (1, 0, 0, 0), 1 = (0, 1, 0, 0), 0 = (0, 0, 1, 0),$$

при которой значение сигнала занимает один байт. Упорядочение сигналов, необходимое для выполнения операции M , представлено на решетке сигналов в работе [23, рис. 2.9]. Общая формула для описания воздействия на узел u со стороны узла v через компонент i -го типа имеет вид

$$\text{Val}(u) = \vee E(T, i) f_i(T, R, H, G),$$

где u — узел, связанный непосредственно с узлом v транзистором типа T , который имеет значение состояния R на своем затворе [23, (9.1)]. Здесь булева функция $E(T, i)$ имеет следующий вид: $E(T, i) = 1$ при $T = i$ и $E(T, i) = 0$ при $T \neq i$.

На основании изложенного опишем алгоритм решения задачи и приведем примеры расчета его программной реализации в случае наличия инвертора в переключательной схеме проекта.

1. Полагаем двухтерминальные (инвертор) и трехтерминальные логические вентили фиктивными транзисторами соответствующего типа. Включение этих компонентов как фиктивных транзисторов в описание устройства на переключательном уровне выполняется экспандером аналогично включению других компонентов.

2. В систему булевых уравнений F вносим дополнительные дизъюнкты, соответствующие новым типам компонентов устройства.

Поясним второй шаг алгоритма. Приняв тип инвертора равным семи, запишем $E(T, i) = T1 \wedge T2 \wedge T3$, где $T1, T2, T3$ — значения битов двоичного разложения числа $i = 7$ (ясно, что это выражение может быть сложнее при числе типов компонентов более восьми).

Определим функцию преобразования для инвертора $f_7(T, R, H, G)$. Инвертор как элемент вентильного уровня меняет только значения логического состояния сигнала $0, 1, X, Z$ (уровень напряжения).

Исходя из известных соотношений (основанных на физических соображениях) $\neg 0 = 1, \neg 1 = 0, \neg X = X, \neg Z = Z$, запишем систему булевых преобразований входного сигнала

$$(G, H) = (G1, G2, G3, G4, H1, H2, H3, H4)$$

в сигнал на выходе инвертора

$$(FG1, FG2, FG3, FG4, FH1, FH2, FH3, FH4)$$

при принятой кодировке:

$$FG1 = G1, FG2 = G3, FG3 = G2, FG4 = G4, FH1 = H1,$$

$$FH2 = H2, FH3 = H3, FH4 = H4.$$

(1)

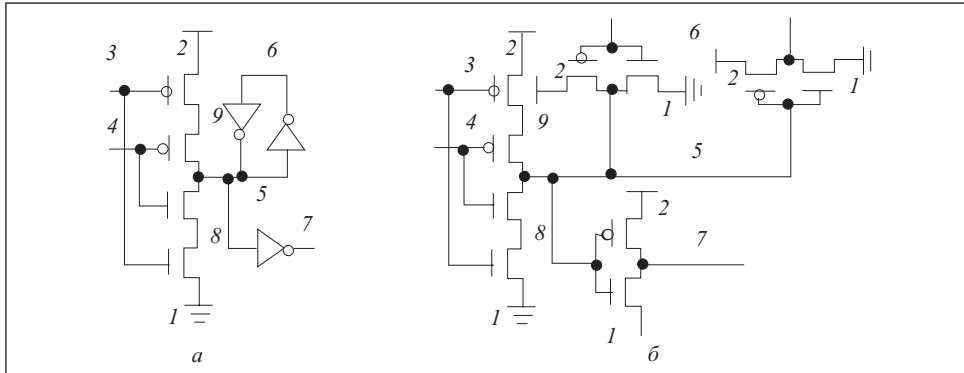


Рис. 2. Схема реализации С-элемента Мюллера: а — смешанное представление; б — переключательный уровень

Аналогично определим функцию преобразования для вентиля AND $f_6(T, R, H, G)$. Приняв тип вентиля AND равным шести, получим

$$E(T, i) = T1 \wedge T2 \wedge \neg T3,$$

где $T1, T2, T3$ — значения битов двоичного разложения числа $i = 6$. Полагаем, что

$$X \& X = X, X \& 1 = X, X \& Z = X, X \& 0 = 0, 1 \& 1 = 1, 1 \& 0 = 0, \\ 0 \& 0 = 0, Z \& Z = Z.$$

Получаем следующие соотношения:

$$FG1 = G1 \& \neg R3 \vee R1 \& \neg G3 \vee G2 \& (\neg R1 \vee \neg R2 \vee \neg R3 \vee \neg R4) \vee R2 \& \\ \& (\neg G1 \vee \neg G2 \vee \neg G3 \vee \neg G4), FG2 = G2 \& R2, FG3 = G3 \vee R3, FG4 = G4. \quad (2)$$

Тогда в качестве F при итерационном решении системы булевых уравнений вида $X_{n+1} = M \otimes F(X_n)$ можем использовать систему соотношений между компонентами сигналов в схеме (2). Эта система позволяет осуществлять параллельное смешанное моделирование схем, состоящих из переключательных примитивов и вентилях, таких как инвертор и элемент AND:

$$FG1 = (G1 \wedge PS3) \vee (I \wedge G1), FG2 = (G2 \wedge PS3) \vee (I \wedge G3), \\ FG3 = (G3 \wedge PS3) \vee (I \wedge G2), FG4 = (G4 \wedge R8) \vee (I \wedge G4), \\ FH1 = (H1 \wedge PS2) \vee (I \wedge H1), FH2 = (H2 \wedge PS2 \vee H1 \wedge P3) \vee (I \wedge H2), \\ FH3 = (H3 \wedge PS3) \vee (I \wedge H3), FH4 = (H4 \wedge PS3) \vee (I \wedge H4).$$

Здесь для упрощения приняты такие обозначения:

$$P1 = T1 \wedge R2 \wedge T2; \\ P2 = \neg T2 \wedge T1 \wedge R3;$$

$$P3 = \neg(T1 \vee T2);$$

$$PS2 = \neg P1 \vee T2 \wedge T1 \wedge R3;$$

$$PS3 = PS2 \vee \neg(T1 \vee T2), I = T1 \wedge T2 \wedge T3.$$

Первый дизъюнкт в правой части (2) определяет соотношения в схеме, где возможно наличие *n*-, *p*- и нагрузочных(резистор) транзисторов [19]. Второй дизъюнкт определяет возможность использования псевдотранзистора-инвертора. Аналогично вносятся в систему соотношений и дизъюнкты для двухвходовых вентилях И-НЕ, ИЛИ, И. Вентили с числом входов более двух можно представить в виде комбинаций базовых примитивных вентилях. Их описание и внесение в переключательную процедуру осуществляется с помощью экспандера.

Примеры расчета. На рис. 2 представлена схема, реализующая *C*-элемент Мюллера смешанным и переключательным способом [24]. Результаты моделирования приведены в табл. 1. Смешанное описание имеет вид

$$Q1 = \{1, 2, 3, 2, 1, 5, 4\}, Q2 = \{2, 2, 2, 3, 3, 2, 2\}, Q3 = \{1, 2, 3, 4, 4, 4, 5\},$$

$$T = \{3, 3, 3, 2, 3, 7, 7\},$$

Таблица 1

Номер набора	Число итераций	Значение сигнала в узле схемы						
		3	4	5	6	7	8	9
1	2	D1	D0	CX	CX	CX	D0	CX
2	4	D0	D0	D1	D0	D0	CX	D1
3	2	D0	D1	D1	D0	D0	D1	D1
4	4	D1	D1	D0	D1	D1	D1	CX
5	2	D0	D1	D0	D1	D1	D0	D1

Таблица 2

Номер набора	Число итераций	Значение сигнала в узле схемы																	
		3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
1	5	D1	D0	D0	D0	D1	D1	D1	CX	D1	D1	D0	D0	D0	D1	D1	D1	D0	D1
2	7	D1	D0	D1	D1	D0	D1	D1	D1	D1	D1	D0	D0	D0	D0	D1	D1	D0	D1
3	6	D1	D1	D0	D1	D1	D0	D0	D0	CX	D1	D1	D1	D0	D1	D1	D1	D1	D0
4	7	D1	D1	D1	D0	D0	CX	CX	D0	CX	D1	CX	CX	D0	D0	D1	D1	CX	D0
5	5	D0	D0	D0	D0	D1	D1	CX	CX	D1	D1	D0	D0	D0	CX	CX	D1	D0	D1
6	7	D0	D0	D1	D1	D0	D1	CX	CX	D1	D1	D0	D0	D0	D0	CX	D1	D0	D1
7	5	D0	D0	D0	D1	D0	D1	CX	CX	D1	D1	D0	D0	D0	CX	CX	D1	D0	D1
8	7	D0	D1	D1	D0	D1	D1	CX	D0	D1	CX	CX	D0	CX	D0	D0	CX	D0	CX

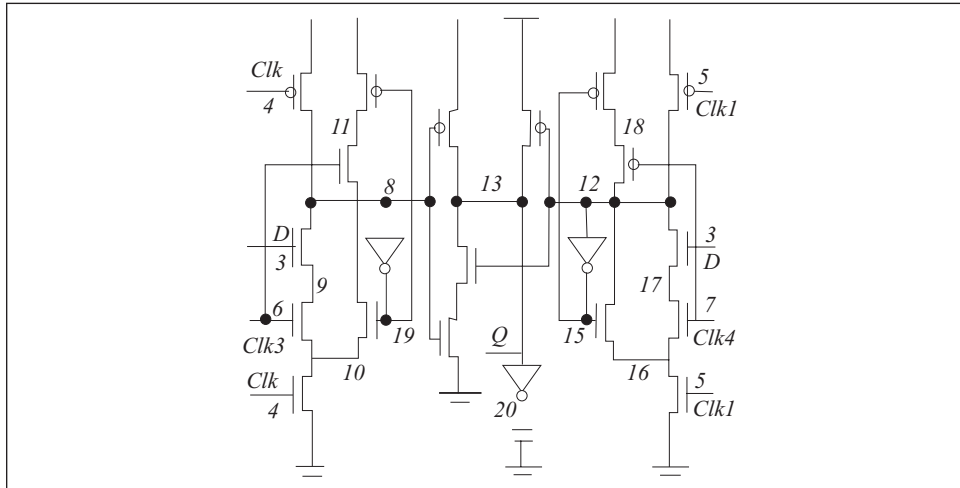


Рис. 3. Схема триггера, управляемого двойным фронтом

Таблица 3

Имя схемы	Число элементов/ входов/ выходов	Число инверторов/ триггеров	Сравнительные характеристики моделирования на уровне			
			логико-функциональном		переключательном	
			Число узлов/записей	$T_{\text{мод}}, \text{с}$	Число узлов/записей	$T_{\text{мод}}, \text{с}$
S13207	8620/33/121	5378/669	23267/45735	14	25559/58309	15
S15850	10369/16/87	6324/597	23432/43220	13	27123/61188	17
S35932	17793/37/320	3861/1728	68269/144839	24	77485/177500	32
S38417	23815/30/106	13470/1636	59178/116667	37	66906/153443	44
S38584	20705/14/258	7805/1452	54778/109160	30	64693/148513	39

а переключательная модель — следующий вид:

$$Q1 = \{1, 2, 3, 1, 1, 2, 2, 1, 2\}, Q2 = \{2, 2, 2, 3, 3, 5, 5, 4, 4\},$$

$$Q3 = \{1, 2, 3, 4, 4, 4, 4, 5, 5\}, T = \{3, 3, 3, 3, 3, 2, 2, 3, 2\}.$$

Рассмотрим схему смешанного вида (рис. 3) из работы [25], в которой описаны различные реализации современных элементов памяти с высокой частотой синхронизирующих сигналов. Результаты моделирования этой схемы приведены в табл. 2.

Сравнительные характеристики моделирования схем из эталона ISCAS-89 на 50-ти случайных наборах на компьютере с двумя процессорами

Е6300 с частотой 1,86 ГГц представлены в табл. 3. В случае смешанного описания использованы все двухходовые вентили AND, OR и инверторы.

Выводы. Предложенный подход по сравнению с известным способом учета особенностей функционирования полевых транзисторов в системе Verilog с помощью атрибута Strength имеет следующие преимущества:

1) позволяет создавать тесты для различных классов модельных неисправностей переключательного уровня, что весьма затруднительно выполнить на основном логико-вентильном уровне, принятом в Verilog [17, 20];

2) позволяет создавать диагностические тесты, локализирующие местоположение реальных дефектов на переключательном уровне, что практически невозможно выполнить на вентильном уровне;

3) поскольку смешанное моделирование осуществляется итерационным решением системы булевых уравнений, появляется возможность распараллеливания вычислений, так как булевы выражения являются идеальными объектами для этого.

Приведенные характеристики моделирования свидетельствуют об эффективности реализованного решения поставленной проблемы.

Peculiarities of modeling at switching and logic-functional levels have been considered and comparatively analyzed. Modeling problems and methods at the above levels have been considered in brief. A possibility of modeling the serviceable digital circuits and those with failures under their mixed representation at the above levels has been investigated.

1. *Zimmermann R., Fichtner W.* Low-Power Logic Styles: CMOS Versus Pass-Transistor Logic// IEEE Journal of Solid-State Circuits. — 1997. — Vol. 32, № 7.
2. *Beiu V., Member S., Quintana J. M., Avedillo M. J.* VLSI Implementations of Threshold Logic—A Comprehensive Survey// IEEE Transactions on Neural Networks. — 2003. — Vol. 14, № 5. — P. 1217—1243.
3. *Chandy K. M., Misra J.* Asynchronous Distributed Simulation via a Sequence of Parallel Computations/ Communications of the ACM, 24(11): 198-206, November, 1981.
4. *Theodoropoulos G.* Strategies for the Modeling and Simulation of Asynchronous Computer Architectures. —University of Manchester, Department of Computer Science, 1995.
5. *Hong Kyu Kim.* Parallel Logic Simulation on Digital Circuits. — Wright State University, 1998.
6. *Вейцман И. Н., Кондратьева О. М.* Тестирование КМОП-схем // Автоматика и телемеханика. — 1991.— № 2. — С. 3—34.
7. *Wadsack R. L.* Fault Modeling and Logic Simulation of CMOS and MOS Integrated Circuits // Bell System Technologie Jornal. — 1978. — Vol. 57. — P. 1449—1473.
8. *Hayes J. P.* Pseudo-Boolean Logic Circuits// IEEE Transactions on Computers. —1986. — Vol. 35, № 7. — P. 111 —114.
9. *Bryant R. E.* Switch-Level Model and Simulator for MOS Digital Systems // Ibid. —1984. — Vol. 33, № 2. — P. 160 —177.
10. *Huang L. P., Bryant R. E.* Intractability in Linear Switch-level simulation//IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. — 1993. — Vol. 12, № 6. — P. 829 —836.

11. Ruan G., Vlach J., Barby J.A. Logic Simulation with Current-limited Switches //Ibid. — 1990. — Vol. 9, № 2. — P.133 —141.
12. Cerny E., Gecesi J. Functional Description of Connector-switch-attenuator Networks // IEEE Transactions on Computers. — 1988. — Vol. 37, № 1. — P. 111 —114.
13. Shih Y. -H., Kang S. -M. Analytic Transient Solution of General MOS Circuit Primitives //IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. — 1992. — Vol. 11, № 6. — P. 719 —731.
14. Yang A. T., Chang Y. -H., Saab D. G., Hajj I. N. Switch-level Timing Simulation of Bipolar ECL Circuits // Ibid. — 1993. — Vol. 12, № 4. — P. 516 —530.
15. Adler D. Switch-level Simulation Using Dynamic Graph Algorithms//Ibid. — 1991. —Vol. 10, № 3. — P. 346—355.
16. Cerny E., Hayes J. P.,Rumin N. C. Accuracy of Magnitude-class Calculations in Switch-level Modeling // Ibid. — 1992. — Vol. 11, № 4. — P. 443 — 452.
17. Киносита К., Асада К., Карацу О. Логическое проектирование СБИС.: Пер. с япон. — М. : Мир, 1988. — 309 с.
18. Politecnico di Torino ITC'99 benchkmarks, downloadable at the URL <http://www.cad.polito.it/tools/itc99.html>
19. Андрюхин А. И. Параллельное смешанное моделирование МОП-схем // Сб. тр. конф. «Моделирование-2008». Т. 2. Киев, 14—16 мая 2008. — Киев : ИПМЭ НАН Украины, 2008. — С. 383—388.
20. Андрюхин А. И. Генерация тестов для МОП-структур на переключательном уровне // Науч. тр. Донецкого национального технического университета. Сер. : Информатика, кибернетика и вычислительная техника. — 2008. — Вып. 9 (132). — С. 195 —202.
21. Пухальский Г. И., Новосельцева Т. Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник. — М. : Радио и связь, 1990. — 304 с.
22. Андрюхин А. И. Параллельное многозначное логическое моделирование исправных и неисправных псевдобулевых схем // Электрон. моделирование. —1997. —19, № 1. — С. 58—63.
23. Ульман Дж. Вычислительные аспекты СБИС: Пер. с англ./Под ред. П. П. Пархоменко. — М. : Радио и связь, 1990. — 480 с.
24. Андрюхин А. И. Моделирование асинхронной логики на переключательном уровне. I. // Науч. тр. Донецкого национального технического университета: Проблемы моделирования и автоматизации проектирования динамических систем. Вып. 78. — Донецк, 2006. — С. 74—83.
25. Oklobdzija V. G. Clocking and Clocked Storage Elements in a Multi-gigahertz Environment // IBM J. Res. & Dev. — 2003. — Vol. 47, №. 5/6. — P. 567—583.

Поступила 30.10.08;
после доработки 15.01.09

АНДРЮХИН Александр Иванович, канд. техн. наук, ст. науч. сотр., доцент кафедры ПМИ Донецкого национального технического университета. В 1973 г. окончил Донецкий госуниверситет. Область научных исследований — моделирование и диагностирование цифровых систем, проблемы искусственного интеллекта и программирования.